Implanter une description VHDL dans le FPGA. Mise en œuvre d'instruments de mesure virtuels.

Energie Information

0 - Présentation du TP :



- 1 Créer un nouveau projet FPGA.
- 2 Ajouter au projet un fichier VHDL (ici une machine d'état).
- 3 Créer le « TOP » schéma, placer dans le schéma le symbole créé à partir du code VHDL.
- 4 Placer les ports d'entrée sortie du FPGA dans le schéma
- 5 Placer les instruments virtuels dans le schéma.
- 6 Définir les fichiers de contraintes.
- 7 Compiler, synthétiser, construire, programmer le FPGA.
- 8 Mettre en œuvre les instruments de mesure virtuels.

* Rappel : sous ALTIUM la feuille de schéma *.SchDoc est en haut du projet, c'est le « TOP LEVEL ».

* Version des logiciels utilisés : Altium Designer Version 13.1.2 (build 27559) Quartus II Web Edition 12.0 sp2 Aldec Active-HDL Student Edition ver 9.1

Contexte d'étude : GESTION DE FEUX TRICOLORES

Schéma à réaliser au cours du TP :





On se propose de gérer les feux tricolores du carrefour représenté ci-dessous

|--|



Diagramme de séquence du feu de carrefour

Le bouton poussoir SW_USER0 sur le schéma structurel permet de simuler le passage des bus des lignes 1&2.

Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	4 / 28

1 Créer un nouveau projet FPGA.

1.1 Repartir d'un environnement vide :

🔻 Altium Designer Relevee 10 (Platform 10.972./3397) - Free Documents, Lic ensed to Lyc ée Privé Saint Galariel, Not signed in.	
Dip 1: Ele View Project Window Help	10-0-4
: 🗋 🐸 🕷	
	System DesignFamples Holp Industries VHDI 55

1.2 Ouvrir les fenêtres projet et messages :

Paramétrer l'environnement de travail d'Altium Designer en utilisant la commande : View >> Workspace Panels >> System, puis cocher les options Libraries, Messsages et Projet



Formation ALTIUM - 3 Tp_description_VHDL-FPGA 06/05/2013 5 / 28

1.3 Créer et renommer le projet :

Créer un nouveau projet en utilisant la commande : File >> New >> FPGA Projet.

🗬 Altium D)e-sign	er Releave 10 (Platform 10.972.23595) - Fri	ee Documents, Licensed to Lycée Pri	é Saint Gabriel. Not signed in:		
DXP	Elle	Yicw Project Window Help				1	·0·0·#
: 🗋 💕 🖉		New)		Schematic			
Projects	10	Open Ctrl+O	\$	OpenBus System Document		Ubrarres	∀ ¥ X
Waterpace	3	Open Project	19	<u>P</u> CB		Libranes Search	Hace
	-	Open Design Workspare	M	VHDI Document		PERSONAL PROPERTY OF THE PROPERTY OF	
(B) File View		Check Out	٤Ì	Venlog Document			
e ne ven	1	Save Project		C Source Document		0	
		Save Project As	đ	CLL Source Document		Component Name	î
		Save Design Workspace	۵	C/C++ ∐eader Document			
		Save Design Workspace As	凤	ASM Source Document			-
		Sov: All		Software Platform Document		50 components	
	-	Smart PDF		I ext Document		124 benched warm	^
	-		36	CAM Document		Calck hold to draw coll	ponent
		Import Wizard	61	Output Job File		Mudel Name	^
		Component Release Manager	۵I	Database Lin <u>k</u> File			
		Recent Documents		Propert +	DE PERPaper		
		Recent Projects.		Library +	FPGA Project		^
		Recent Workspaces		Scrigt Files	😥 Coge Project	No Provide Availa	bic
		Egit Alt+F4		Migrid Signal Simulation 💦 🕨	Integrated Library		
				Other •	Dembedded Project	Supplier Manufacturer D	A Gul and A
			<u>ت</u>	Design Workspace	Script Project	Poppin / Honocourt P	Phot
			-				
							^
Hessages		Deserved		Course Mourses		Time Date	<i> µ</i> ×
0.800		Document		Source Message		1000	140.
						Sectors Decise Country Holes Inc	umate 1000 st

Un projet nommé (FPGA_Projet1.PrjFPGA) apparaît dans l'onglet gestion de projet.



Clic droit sur le nom du nouveau projet (*FPGA_Projet1.PrjFpg*) dans l'onglet Projets et choisir la commande **Save Projet as « FPGA_FeuxCarrefour.PrjFpg »** pour sauvegarder le projet dans le répertoire de travail **\TP3_FeuxCarrefour**.

<u>*Remarque*</u>: Les caractères espace () et/ou tiret (-) ne doivent pas être utilisés dans les noms du projet ou des documents. Le caractère underscore (_) peut être utilisé pour améliorer la lisibilité.

2 Ajouter au projet un fichier VHDL (ici un compteur).

Ajouter un nouveau fichier VHDL par un *clic droit* sur le nom du projet FPGA dans l'onglet Projets et choisir la commande **Add New to Projet>> VHDL Document**

<mark>∑</mark> D <u>X</u> P <mark>File View</mark>	Proje <u>ct W</u> indow <u>H</u> elp		
ojects Workspace1.DsnWrk FPGA_FeuxCarrefour.PriF File View O Structure File View No Docume	Workspace Pg Project e Editor Compile FPGA Project FPGA_FeuxCarrefour.PrjFpg		
	Add New to Project	•	Other Ctrl+N
	Save Project		Schematic VHDL Document
	Save Project As	Ø	Verilog Document
	Open Project Documents		VHDL Testbench
	Close Project	No.	Verilog Test <u>b</u> ench

Clic droit sur le nom du nouveau fichier VHDL (*VDHL1.vhd*) dans l'onglet Projets et choisir la commande sauvegarder le document **Save As** avec le nom *FeuxCarrefour.vhd* dans le même dossier parents du projet **\TP3_FeuxCarrefour**.

Avant :	Après :
Projects 🔻 🖉 🗙	Projects V 🖉 🗙
Workspace1.DsnWrk Workspace FPGA_FeuxCarrefour.PrjFpg Project	Workspace1.DsnWrk Workspace FPGA_FeuxCarrefour.PrjFpg Project
● File View ○ Structure Editor	● File View ○ Structure Editor
FPGA_FeuxCarrefour.Pril Source Documents VHDL1.Vhd	FPGA_FeuxCarrefour.Pril Source Documents FeuxCarrefour.vhd

Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	7 / 28

Le fichier « FeuxCarrefour.vhdl » est vide, nous allons avec l'aide du logiciel Aldec Active-HDL Student Edition décrire le diagramme de séquence du feu de carrefour avec une machine d'état :



Editer le fichier « FeuxCarrefour.vhdl » à partir du code donné le logiciel Aldec Active-HDL Student Edition puis compiler le fichier vhdl par un *clic droit* sur le nom du fichier VHDL « *FeuxCarrefour.vhd* » dans l'onglet Projets , puis choisir la commande Compile FPGAProjet « FPGA_FeuxCarrefour.PrjFPg ».



3 Créer le TOP schéma, placer dans le schéma le symbole créé à partir du code VHDL.

3.1 Création du fichier schéma en tête du projet FPGA :

=> Ajouter un nouveau schéma :

Clic droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande Add New to Projet >> Schematic.



Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	9 / 28

Clic droit sur le nom du nouveau schéma (*Sheet1.SchDoc*) dans l'onglet Projets et choisir la commande sauvegarder le document **Save As** avec le nom *Top_FeuxCarrefour.SchDoc* dans le même dossier parents du projet **\TP3_FeuxCarrefour**.

Projects		▼ 🖉 ×	Sheet1.SchDoc
Workspace1.DsnWrk		▼ Workspace	
FPGA_FeuxCarrefour.PrjFpg		Project	1
File View Structure Ed	litor	•اف	
E FPGA_FeuxCarrefo	ur.P	rjFpg * 🕒	A
FeuxCarrefour.vh	d		
Sheet1.SchDoc-		Compile <u>D</u> ocument	Sheet1.SchDoc
		Hide	
		<u>C</u> lose	
	5	Remove from Project	t
	H	<u>S</u> ave	
		Save <u>A</u> s	

=> Ce que l'on doit obtenir :

Projects	▼ Ø ×
Workspace1.DsnWrk 🔹	Workspace
FPGA_FeuxCarrefour.PrjFpg	Project
● File View ○ Structure Editor	•اف
🗆 🕢 FPGA_FeuxCarrefour.PrjFpg *	B
🗆 🖃 Source Documents	
🙀 FeuxCarrefour. vhd	Ľ l
🗖 Top_FeuxCarrefour.SchDoc	E .

Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	10 / 28
----------------------	--------------------------	------------	---------

Compiler le projet par un *clic droit* sur le nom du projet « *FPGA_FeuxCarrefour.PrjFpg*» dans l'onglet Projets et choisir la commande **Compile FPGAProjet FPGA_FeuxCarrefour.PrjFPg**.



=> Ce que l'on doit obtenir :



=> Dans la zone message doit apparaître le résultat de la compilation : Si la compilation n'est pas réussie corriger votre code VHDL.

Messages			
Class	Document	Source	Message
🔲 [Info]	FPGA_FeuxCarrefour.PrjFpg	Compiler	Compile successful, no errors found.
1			

Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	11 / 28
----------------------	--------------------------	------------	---------

3.2 Placer dans le schéma le symbole créé à partir du code VHDL :

Clic sur le nom du schéma « *Top_FeuxCarrefour.SchDoc* », puis dans la barre de menu choisir la commande **Design >> Create Sheet Symbol From Sheet or HDL**

DXP File Edit View Project Place	<u>D</u> e	sign <u>T</u> ools <u>S</u> imulator <u>R</u> eports <u>W</u> indow		
🗈 💕 🖵 🎒 🖪 🔍 👁 📾 🔍 🔍 🔍	í,	<u>B</u> rowse Library		
Projects 🗸 🗸 🖉	00	Add/Remove Library		
Workspace1.DsnWrk		<u>M</u> ake Schematic Library		
FPGA_FeuxCarrefour.PrjFpg Project		M <u>a</u> ke Integrated Library		
File View O Structure Editor		Project Templates		
	1	<u>G</u> eneral Templates		
Source Documents		Up <u>d</u> ate Current Template		
Top_FeuxCarrefour.SchDoc 🗎		Remove Current Template		
🔽 FeuxCarrefour.vhd	30	3 Curreth action		
	Synthesize			
		Netlist For Project		
		Netlist For Document		
	Simulate			
		Create Sheet From Sheet Symbol		
		Create HDL File From Sheet Symbol		
		Create C File From Code Symbol		
		Create Sheet Symbol From Sheet or HDL		

Dans la fenêtre qui apparaît, choisir le fichier « Feux_Carrefour.vhd » puis cliquer sur OK



Pour passer à une feuille de travail au format A4 vers A3, aller dans la barre de menu, choisir la commande **Design** >> **Documents Options** puis choisir A3.

4 Placer les ports d'entrée sortie du FPGA dans le schéma :

 \Rightarrow Placer dans le schéma les éléments suivants :

Description	Nom de la fonction	bibliothèque
Test / Reset Button	TEST_BUTTON	FPGA NB3000 Port-Plugin.IntLib
Bouton utilisateur 0	USER.BUTTON0	FPGA NB3000 Port-Plugin.IntLib
Bouton utilisateur 1	USER_BUTTON1	FPGA NB3000 Port-Plugin.IntLib
Commande du Barre-graphe 8 LED 3 couleurs	LEDS_RGB	FPGA NB3000 Port-Plugin.IntLib
Entrée de l'horloge paramétrable	CLOCK_BOARD	FPGA NB3000 Port-Plugin.IntLib
Bus générique configurable	BUS JS	FPGA Configurable Generic.IntLib



Pour accéder à la fonction paramétrage du bus générique :

Clic bouton droit de la souris sur le composant s'ouvre la commande Configure

Configure	U? (Bus Joiner/S	plitter)	? ×	
Bu	s Joiner	/Splitter		
Main		Graphi	ical Settings	
Bus V	Vidth: 4	V Sh	now Pin Names	
Туре	Joiner	•		
No.	Signal Width	Gap Below Pin	Connection Type	Cliquer sur le bouton ADD pour ajouter
0	1	1	Pin	Les 4 Change Les and L
1	1	1	Pin	les 4 fils supplementaires au bus
2	1	1	Pin	
3	1	1	Pin	
<u>A</u>	dd <u>D</u> elet	te	QK <u>Cancel</u>	

BUS JS

►O[3..0]

et puis choisir dans l'onglet qui

Search...

-⊨ ×

... •

* 1

Ξ

(JNL)

Place CLOCK_BOARD

Libraries

Formation ALTIUM - 3 Tp_description_VHDL-FPGA 06/05/2013 13 / 28



 \Rightarrow Nous pouvons donc saisir le schéma ci-dessous :

A ce stade du projet :

Nous pourrions, après ajout des fichiers contraintes, compiler, synthétiser, construire, et programmer le FPGA, puis lancer le programme.

Il serait à même d'être exécuté sur la Nanoboard 3000.

Nous n'aurions toutefois pas d'outils nous permettant de contrôler la validité de notre programme et d'analyser le fonctionnement du FPGA.

Aussi avant de programmer le FPGA nous allons rajouter à notre projet **des instruments de mesures virtuels.**

5 Placer les instruments virtuels dans le schéma.

5.1 placement des instruments virtuels :

Description	Nom de la fonction	bibliothèque
Mise en place d'une horloge paramétrable	CLKGEN	FPGA Instruments.IntLib
Analyseur logique	LAX	FPGA Instruments.IntLib
Déclaration d'un second JTAG dans le	NEXUS_JTAG_PORT	FPGA Generic.IntLib
FPGA		
JTAG Nexus	NEXUS_JTAG_CONNECTOR	FPGA NB3000 Port-Plugin.IntLib

Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	15 / 28
----------------------	--------------------------	------------	---------



Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	16/28
----------------------	--------------------------	------------	-------

5.2 Paramétrage des instruments virtuels:

5.2.1 Paramétrage du LAX (Logic Analyszer)

Pour accéder à la fonction paramétrage d'un instrument virtuel : *Clic bouton droit* de la souris sur l'instrument virtuel puis choisir dans l'onglet qui s'ouvre la commande **Configure**

Configure	U1 ((LAX)	
	,		

Cliquer sur le bouton « Add Signal Set » pour ajouter les signaux à analyser.

Options Use External Memory		Information Capture Width:	8
Number of Samples: 1K	▼ ND	Memory Required: Capture width is auto requirements of all th capture width is 64.	8 Kb matically atjusted to fit the e signal sets, Maximum
Signal Sets	Set Width	Style	Add Signal <u>S</u> e
⊟-Signal Set 0 VA OA	6	Default Default	Add Signal
BA VB		Default Default	<u>R</u> emove
		Default	Move <u>U</u> p
DD		Derault	Move <u>D</u> own
			Paste

5.3 Numérotation des composants :

Utiliser la fonction automatique : \Rightarrow Menu : TOOLS

 \Rightarrow **Commande** : Annotate Schematics Quietly...

Annotate Schematics Quietly...

Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	17 / 28
----------------------	--------------------------	------------	---------

6 Définir les fichiers des contraintes.

Les fichiers des contraintes décrivent notamment la connexion broche à broche des fonctions implémentées dans le FPGA. Comme nous travaillons toujours avec la Nanoboard 3000AL2, il est plus rapide de reprendre toujours le même fichier contraint fourni par ALTIUM. (voir partie 6.2)

Autres rôles des fichiers de contraintes:

 \Rightarrow paramétrer des broches spécifiques tels que l'horloge (voir partie 6.1).

 \Rightarrow si nous décrivons un projet à une autre carte que la Nanoboard il faudra alors créer les fichiers

6.1 Le fichier des contraintes des horloges :

 \Rightarrow Ajouter un nouveau fichier de contrainte au projet :

Clic bouton droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande Add New to Projet >> Contrainte File



Formation ALTIUM - 3 Tp_description_VHDL-FPGA 06/05/2013 18 / 28
--

 \Rightarrow Il apparaît un fichier texte contrainte à compléter :

Projects 🗸 🖉	🗙 💣 Home 📴 Top_FeuxCarrefour.SchDoc * 🔦 Constraint1.Constraint
Workspace1.DsnWrk Workspace FPGA_FeuxCarrefour.PrifFpg Project Image: File View Structure Editor FIE Source Documents Image: Source Documents Image: Source Source Four.SchDoc * Image: FieuxCarrefour.SchDoc * Image: Source Source Four.SchDoc *	; ;Constraints File ; Device : ; Board : ; Project : ; ; Created 24/04/2012 ;
Settings Constraint Files Constraint1.Constraint	;

 \Rightarrow Pour compléter ce fichier de contrainte, nous allons copier les lignes suivantes :

Record=Constraint TargetKind=Port TargetId=CLK_BRD	FPGA_CLOCK=TRUE
Record=Constraint TargetKind=Port TargetId=CLK_BRD	FPGA_CLOCK_FREQUENCY=50 Mhz
Record=Constraint TargetKind=Port TargetId=JTAG_NEXUS_7	TCK FPGA_CLOCK=TRUE
Record=Constraint TargetKind=Port TargetId=JTAG_NEXUS_'	TCK FPGA_CLOCK_FREQUENCY=1
Mhz	
·	

 \Rightarrow Vous devez maintenant obtenir le fichier ci-dessous :



 \Rightarrow Sauvegarder ce fichier.

Clic droit sur le nom du nouveau fichier (*Constraint1.Contraint* dans l'onglet Projets et choisir la commande sauvegarder le document **Save** dans le même dossier parents du projet **\TP3_FeuxCarrefour**.

Formation ALTIUM - 3 Tp_description_VHDL-FPGA 06/05/2013 19/2	/ 28
---	------

6.2 Le fichier de contraintes liant les broches du FPGA aux périphériques implantés sur la Nanoboard 3000 :

Ce fichier contrainte existe déjà ! Inutile de l'écrire.

Pour adjoindre ce fichier de contrainte à votre projet vous devez d'abord connecter votre PC à la **Nanoboard.**

 \Rightarrow Faites apparaître la fenêtre de visualisation des composants :



 \Rightarrow Assurez-vous que la Nanoboard est bien connectée à votre PC :

(Connected		Live	<u>Settings</u>
		NB300	0AL (1D: 98	8556610) 🔺
	TDI			
	No Process Flow			_
	Cyclone FIV Cyclone FIV			
	Programmed			

Formation ALTIUM - 3 Tp_description_VHDL-FPGA 06/05/2013 20 / 28	Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	20 / 28
--	----------------------	--------------------------	------------	---------

in the second second	Configure Fpga Project 🔹 🕨	FPGA_FeuxCarrefour.PrjFp
NanoBoard-3000	View Configuration	New FPGA Project
No Proce	 Update NanoBoard Firmware Check for Firmware Updates Instrument About 	

⇒ *Clic bouton droit* sur l'icône de la Nanoboard et configurer le projet FPGA

 \Rightarrow La fenêtre ci-dessous vous invite à spécifier les fichiers de contraintes que vous voulez utiliser pour votre prochaine phase de **Compilation / Synthèse / Programmation**.

Configuration Manager For FPGA_FeuxCarrefour.PrjFpg	5 ×
Configurations of FPGA Project: FPGA_FeuxCarrefour.PrjFpg	
Configurations	
	Configurations ^
Parameter /	
Name	NB3000AL_02
Add., Delete Rename	
Constraint Files	
	Included in Configuration
Constraint Hiename	NB3004L_02
NB 3000AL.02. Constraint	
	E
Denn la méannte annliention mans denne isin des la fishion	
Pour la presente application vous devez joindre le fichier	
contrainte décrivant les conditions sur les horloges et le	
fichier contrainte spécifiant la connexion des broches	
du FPGA aux autres composants de la carte	
du 11 674 dux duites composants de la carte	
Add Delete	

 \Rightarrow A l'issue de cette étape un deuxième fichier contraint (*NB3000AL 02.Constraint*) est lié à votre projet :



Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	22 / 28
----------------------	--------------------------	------------	---------

7 Compiler, synthétiser, construire, programmer le FPGA.

\Rightarrow Cliquer sur **Compile**, cliquer sur **Synthetize**, cliquer sur **Build**.

 \Rightarrow Si une erreur apparaît vous devez la corriger en modifiant le fichier source identifié à partir du message d'erreur :

Sources d'erreurs possibles :

- \Rightarrow le fichier VHDL
- ⇒ le schéma TOP

 \Rightarrow les fichiers de contraintes

	• 🕞 <u>C</u> ompile	▼ 🌒 🕞 Synthesize	▼ 🕒 🔂 Build	▼ ● 🕞 Program <u>F</u> PGA	#]
1701			ADERA.		700)
			Cyclone 2 EP3C40F780C8N Programmed		
	FPGA_FeuxCarrefour / Default -	All Constraints	-		•
	U1 LAX8 Runnin	9		U3 CLKGEN Running	
10)	Logic Analyss TDI TD	• • •		Trequency Generator ((x) LTL TDI TDO	700

Remarque : Nous retrouvons les deux instruments virtuels mis en œuvre dans le projet : U1 : l'analyseur logique LAX U3 : le générateur d'horloge

Après avoir franchi ces trois étapes la fenêtre de résultats s'affiche : vous pouvez alors programmer le FPGA : cliquez sur program FPGA !

ice Resources - Usage Summary	
otal logic elements	1,159 / 39,600 (3%)
otal registers*	694 / 42,205 (2%)
- Dedicated logic registers	694 / 39,600 (2%)
- VO registers	0 / 2,605 (0%)
'O pins	32 / 536 (6%)
Global clocks	5 / 20 (25%)
Register count does not include register	sters inside RA
ign Statistics - Timing Summary	
LK_BRD	28.3 MHz
TAG_NEXUS_TCK	76.84 MHz

8 Mettre en œuvre les instruments de mesures virtuels.

8.1 Réglage de la fréquence entrante par U3 : le générateur d'horloge

\Rightarrow Cliquez sur U3 :

	• 🗈 <u>C</u> ompile	▼ 🌒 🕞 Synthesize	▼ ● 🕀 <u>B</u> uild	▼ 🌔 ি Program EPGA	#]
101					1700)
			Cyclone? EP3C40F780C8N Programmed		_
	FPGA_FeuxCarrefour / Default - Al	Constraints		\sim	•
<u>(70)</u>	U1 LAX8 Running Analyser TDI TDO			U3 CLKGEN Running Preparenter (f(x) III Tol TDO	

 \Rightarrow Réglez la fréquence à 50 MHz.

rume	nt l	Rack	: - So	ft De	vices									
JT	AG	1/1		ORE	U3 (C	LKGE	:N)							•
	Z	R	EQUI	EST	FREG	QUEN	ICY						ACTU	AL FREQUENCY
мн	z 🗌	50	25	20	10	5	1	Baud	Rates	Othe	r Freq	luency	Running	
КН	z	500	250	200	100	50	25	20	10	5	2	1		50 000 MHz
H	z	500	250	200	100	50	25	20	10	5	2	1		50,000
	C	Set	Time E	lase	50,00	00 MH	z			tun	0,	otions	• Invert	Instrument Title

Formation ALTIUM - 3 Tp_description_VHDL-FPGA 06/05/2013 24 / 28
--

8.2 Visualisation des signaux

 \Rightarrow Cliquez sur l'analyseur logique U1 : LAX16. le rack contient maintenant la partie visualisation des données.



Formation ALTIUM - 3Tp_description_VHDL-FPGA06/05/201325 / 28

 \Rightarrow Les données acquises peuvent être visualisées sous forme numérique dans une table d'événement.



Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	26 / 28

8.3 Réglage de la fréquence entrante par U3 : le générateur d'horloge

Réglage de la fréquence entrante par U3 : le générateur d'horloge

\Rightarrow Cliquez sur U3 :

	• 🕞 Compile	▼ ● 🕞 Synthesize	▼ 🕒 🕀 Build	▼ 🕒 Program EPGA	* 1
170					
			Cyclone? III Cyclone3 EP3C40F780C8N Programmed		
	FPGA_FeuxCarrefour / Default - A	Il Constraints		\sim	•
19	U1 LAX8 Running <i>Legis</i> Analyser TDI TDO]		U3 CLKGEN Running Frequency Generator (k) LT. TO/ TDO	(700)

 \Rightarrow Réglez la fréquence à 1 Hz.

JTAG	1/1	0	ORE	U3 (C	LKGE	31.)		_					
	R	EQUI	EST	FREC	UEN	ICY		_				ACTUAL FREQU	ENCY
MHz	50	25	20	10	5	1	Bau-d	Rates	Othe	ır Frequ	iency	Running	
КНZ	500	250	200	100	50	25	20	10	5	2	Ť	1	OOO HZ
5000 E		250	200	100	50	25	20	10	5	2	1		

Question : que voyez-vous évoluer sur la Nanoboard 3000 ?

<u>Réponse attendue :</u> Sur la voie B : la led verte est allumée pendant 39s la led orange (bleu sur NB3000) est allumée pendant 3s. la led rouge est allumée pendant 38s

Sur la voie C : la led rouge est allumée pendant 49s la led orange (bleu sur NB3000) est allumée pendant 3s. la led vorte est allumée pendant 28s

8.4 Modification de la machine d'état

 \Rightarrow Il reste à implanter la prolongation du feu vert ou la contraction du feu rouge SB-SB1 de la voie B lorsque les bus des lignes 1&2 arrivent.

BP1 permet de simuler la présence d'un bus de la ligne n°1 Appui : présence bus ligne N°1 => NL0 Relachée : pas de présence de bus ligne n°1 => NL1

<u>Appui sur BP1 => Prolongation feux vert SB-SB1</u>



<u>Appui sur BP1 => Contraction feux rouge SB-SB1</u>



Formation ALTIUM - 3	Tp_description_VHDL-FPGA	06/05/2013	28 / 28
----------------------	--------------------------	------------	---------