

0 Présentation du TD :

Ce TD à pour objectif de présenter les structures matérielles de la Nanoboard 3000AL mise en œuvre durant le mini projet avant d’aborder la partie développement logiciel.

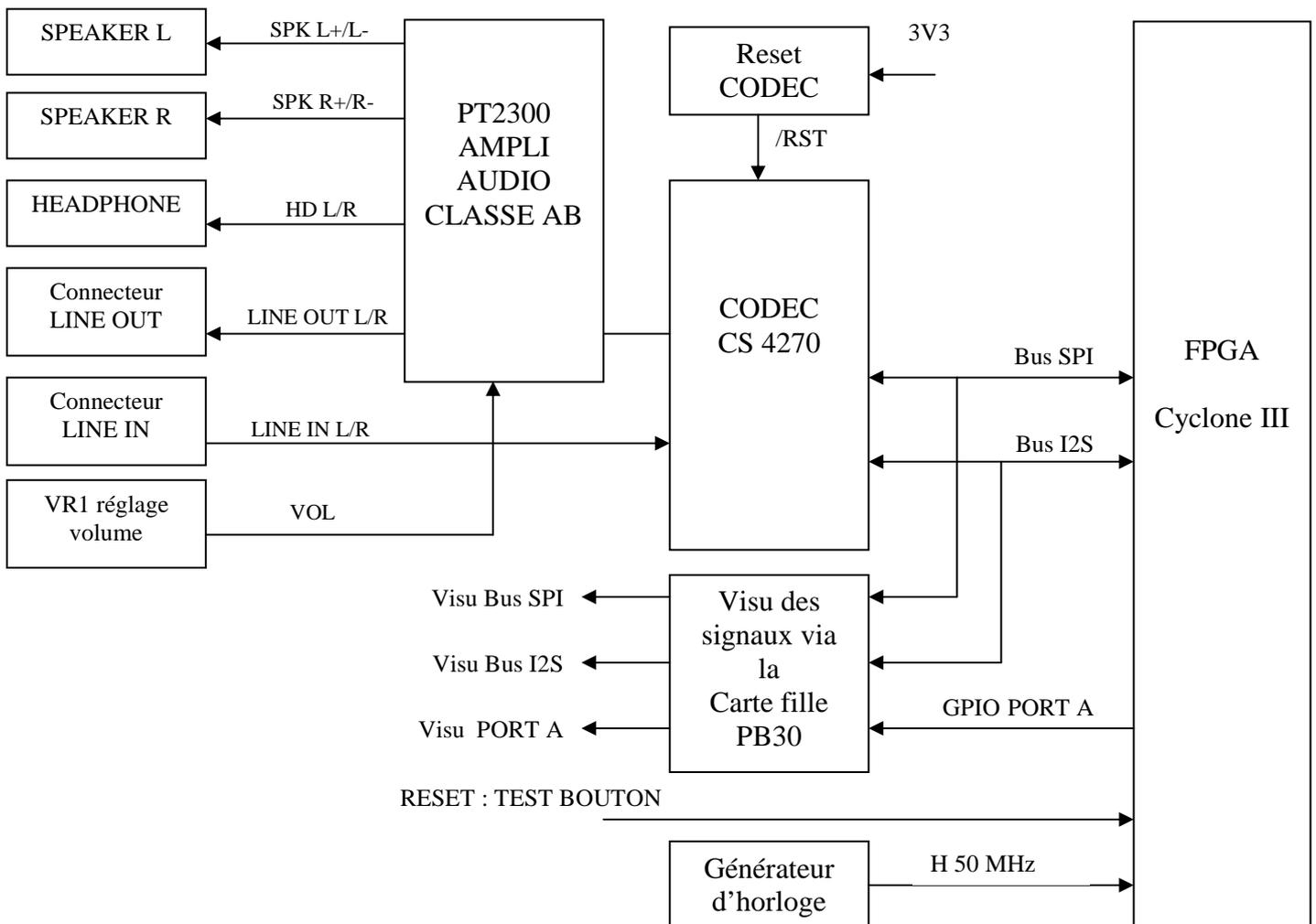
Nous nous intéresserons plus particulièrement à la communication entre le FPGA et le CODEC audio.

Ressources : => Presentation_de_la_Nanoboard_3000.pdf
=> CS4270.pdf
=> NanoBoard_3000AL_Schematics.pdf

Sommaire :

- 1 Caractéristiques physiques du FPGA Cyclone III.
- 2 Etude de la génération d’horloge
- 3 Le CODEC CS4270
- 4 L’amplificateur audio classe AB PT2300.
- 5 le rôle de la carte fille PB30

Synoptique de la chaîne d’acquisition audio mise en œuvre :



1 Caractéristiques physiques du FPGA.

1.1 La carte Nanoboard permet d'implanter 3 FPGA différents :

- ⇒ Xilinx / Spartan (XC3S1400AN-4FGG676C)
- ⇒ Altera / Cyclone (EP3C40F780C8N)
- ⇒ Lattice / ECP2 (LFE2-35SE-5FN672C)

⇒ Quel est le FPGA implanté sur la carte NB 3000AL.02 ?

1.2 Les structures intégrées au FPGA.

A la lecture du tableau ci-dessous déterminez :

- ⇒ Combien de broches d'entrées / sorties sur le FPGA ?
- ⇒ Combien d'éléments logiques (LE) sur ce FPGA ?
- ⇒ Capacité mémoire interne au composant en koctets ?
- ⇒ Combien de PLL intégrées ?
- ⇒ Combien de multiplieurs numériques intégrés ?
- ⇒ Combien de réseaux internes d'horloges ?
- ⇒ Combien de blocs M9K ?

Table 1-1. Cyclone III Device Family Features

Family	Device	Logic Elements	Number of M9K Blocks	Total RAM Bits	18 x 18 Multipliers	PLLs	Global Clock Networks	Maximum User I/Os
Cyclone III	EP3C5	5,136	46	423,936	23	2	10	182
	EP3C10	10,320	46	423,936	23	2	10	182
	EP3C16	15,408	56	516,096	56	4	20	346
	EP3C25	24,624	66	608,256	66	4	20	215
	EP3C40	39,600	126	1,161,216	126	4	20	535
	EP3C55	55,856	260	2,396,160	156	4	20	377
	EP3C80	81,264	305	2,810,880	244	4	20	429
	EP3C120	119,088	432	3,981,312	288	4	20	531
Cyclone III LS	EP3CLS70	70,208	333	3,068,928	200	4	20	413
	EP3CLS100	100,448	483	4,451,328	276	4	20	413
	EP3CLS150	150,848	666	6,137,856	320	4	20	413
	EP3CLS200	198,464	891	8,211,456	396	4	20	413

Sources : ce tableau est issu du fichier cyclone3_handbook.pdf présent sur le site ALTERA.

1.3 Pour information : « Qu'est ce qu'un élément logique (LE) ? »

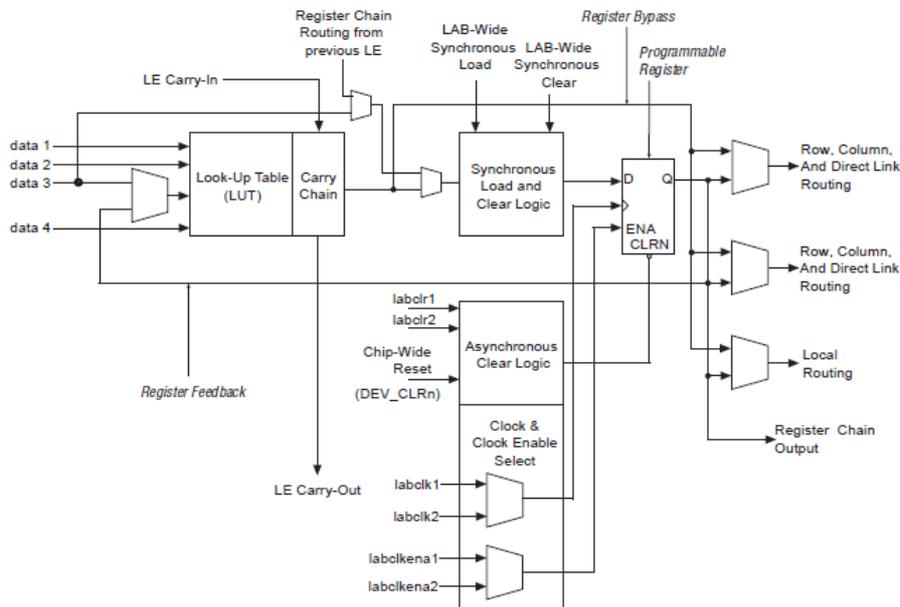
C'est une structure logique séquentielle programmable qui est l'élément de base constituant les FPGA.

Ces éléments logiques ont deux modes de fonctionnement : ⇒ le mode normal

⇒ le mode arithmétique

Ils sont constitués de bascules (D) , de LUT, de registres internes.

Synoptique d'un LE:



2.4 Pour information : « Qu'est ce qu'un LUT (Look-Up Table) ? »

Un LUT est une **table de correspondance** : cela peut être vue comme une table de vérité , donc une matrice de logique combinatoire.

2.5 Pour information : « Qu'est ce qu'un LAB (Logic Array Blocks) ? »

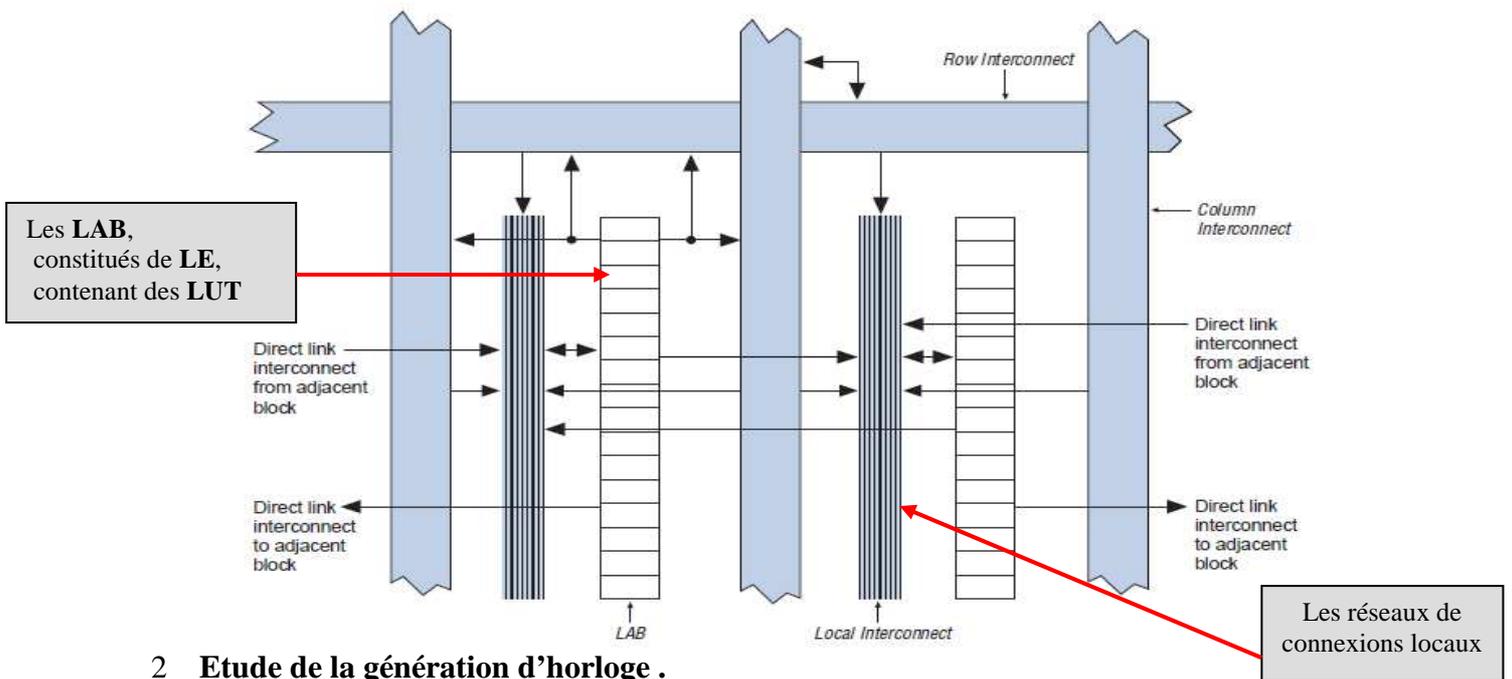
C'est le groupement de 16 éléments logiques, des connexions et des signaux de contrôles utiles au fonctionnement du LAB.

2.6 Pour information : « Qu'est ce que des blocs M9K » ?

Ce sont des blocs mémoires de 9 kbits implantés dans le composant cyclone III. Ces blocs mémoires peuvent être configurés comme des mémoires RAM, des buffers FIFO ou des mémoires ROM.

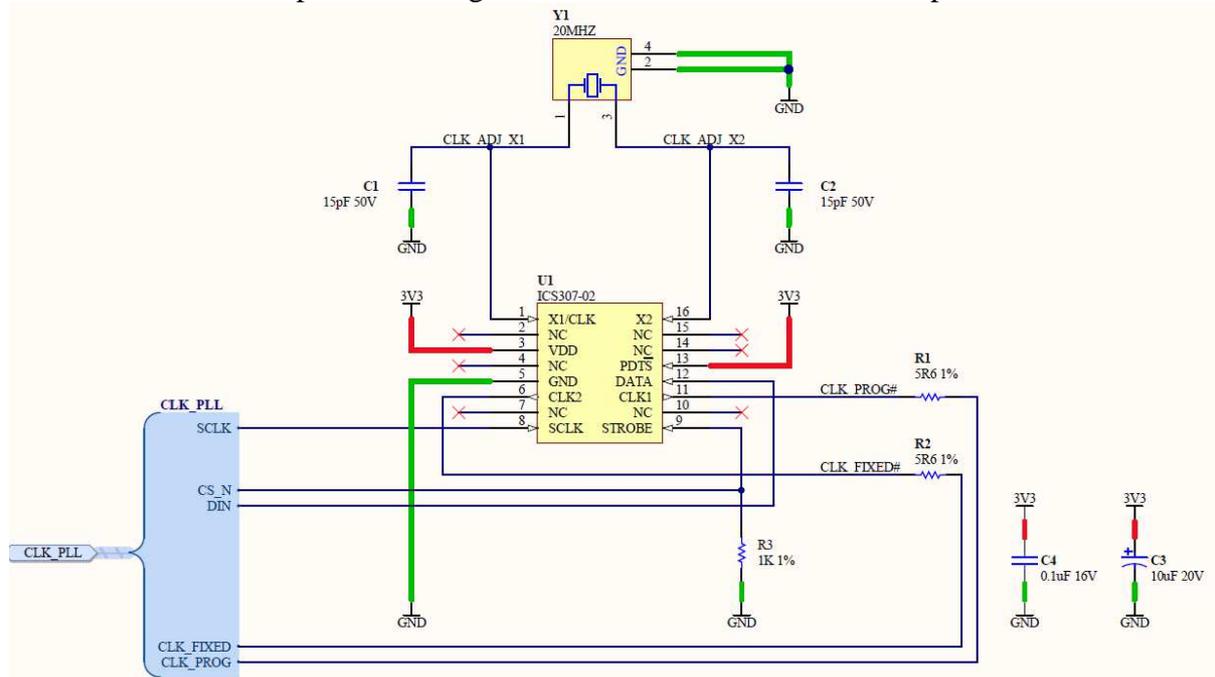
2.7 Organisation structurelle interne d'un FPGA Cyclone III :

Les réseaux de connexions périphériques



2 Etude de la génération d'horloge .

Le FPGA est cadencé par une horloge externe construite autour du composant U1 ICS307 :



2.1 En vous référant à la documentation « [Presentation_de_la_Nanoboard_3000.pdf](#) » déterminez la fréquence de cadencement fixe du FPGA.

2.2 En vous référant à la documentation « [Presentation_de_la_Nanoboard_3000.pdf](#) » déterminez la plage de fréquence de l'horloge programmable ?

2.3 Vérifiez, a partir de la formule extraite de la documentation constructeur de ICS307.pdf, que CLK1 peut atteindre les valeurs minimum et maximum de cette plage d'horloge.

$$\text{CLK1 frequency} = \text{Input frequency} \cdot 2 \cdot \frac{(\text{VDW}+8)}{(\text{RDW}+2)(\text{OD})}$$

Where VCO Divider Word (VDW) = 4 to 511 (0, 1, 2, 3 are not permitted)
 Reference Divider Word (RDW) = 1 to 127 (0 is not permitted)

Ou OD est donné par le tableau :

Table 1. Output Divide and Maximum Output Frequency

S2	S1	S0	CLK1 Output Divide	Maximum Frequency 5 V or 3.3 V	Max. Freq. Industrial Version
0	0	0	10	40	36
0	0	1	2	200	180
0	1	0	8	50	45
0	1	1	4	100	90
1	0	0	5	80	72
1	0	1	7	55	50
1	1	0	3	135	120
1	1	1	6	67	60

3 Le CODEC CS4270 au sein de la chaîne de traitement audio.

3.1 Fonction et synoptique du CODEC CS4270

Sur le synoptique de la page 1, le cheminement du signal :

- ⇒ Surligner en vert les signaux audio sous forme analogique
- ⇒ Surligner en rouge les signaux audio sous forme numérique (I2S)

Sachant que :

- ⇒ Le signal audio traité entre sur LINE_IN
- ⇒ le signal audio ressort sur LINE_OUT et sur les haut-parleurs (SPEAKER_L/SPEAKER_R).

3.2 Synoptique interne du CODEC :

- ⇒ Ce composant permet-il de traiter un signal stéréo ? Justifiez.
- ⇒ Sur le synoptique ci-dessous repérez le bus I2S (au format PCM), les entrées analogiques, les sorties analogiques, la chaîne CAN en rouge et la chaîne CNA en vert.

TD : Etude structurelle de la Nanoboard 3000 :
La chaîne de traitement audio.

Durée estimée 2h

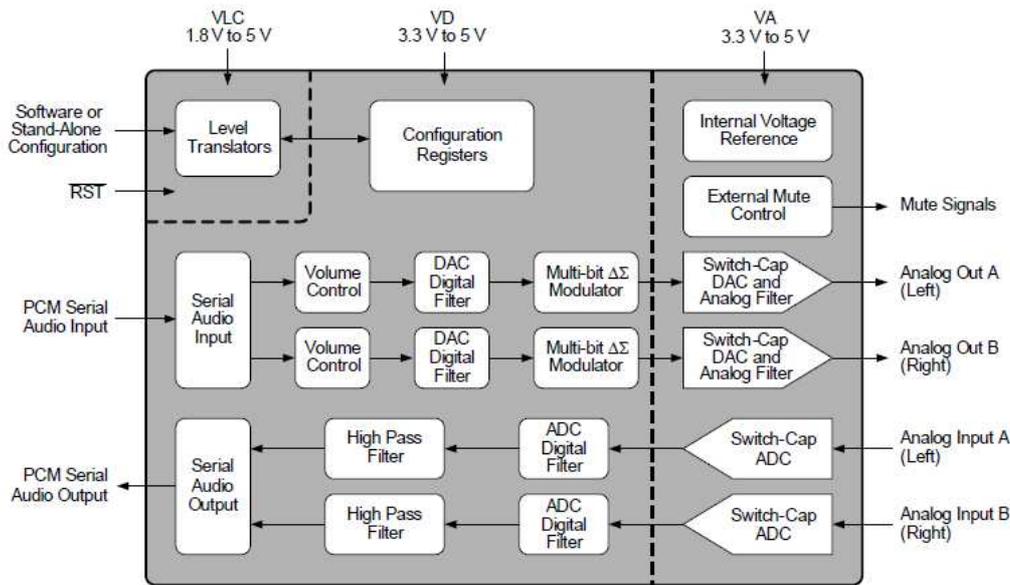
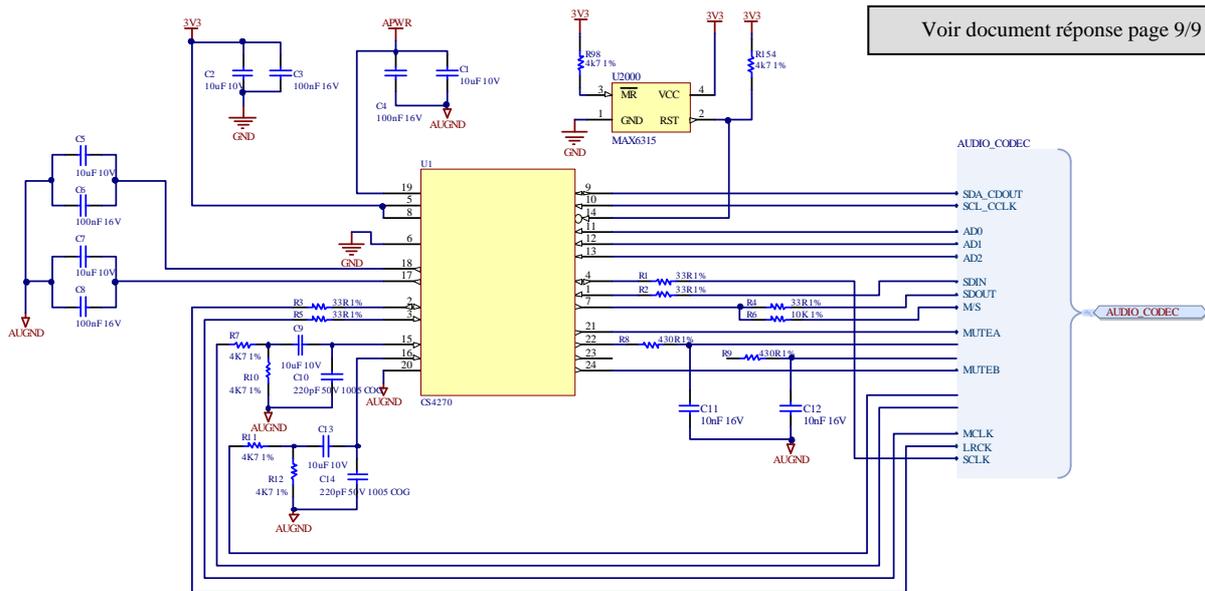


Schéma structurel partiel de la Nanoboard 3000AL, U1 le CODEC CS4270 :



3.3 Rôle du bus I2S

Le rôle du bus I2S est de transmettre l'information audio entre le FPGA et le CODEC sous forme numérique.

Les données numériques échangées entre le FPGA et le CODEC sont au format PCM en binaire signé complément à 2 sur 16 bits.

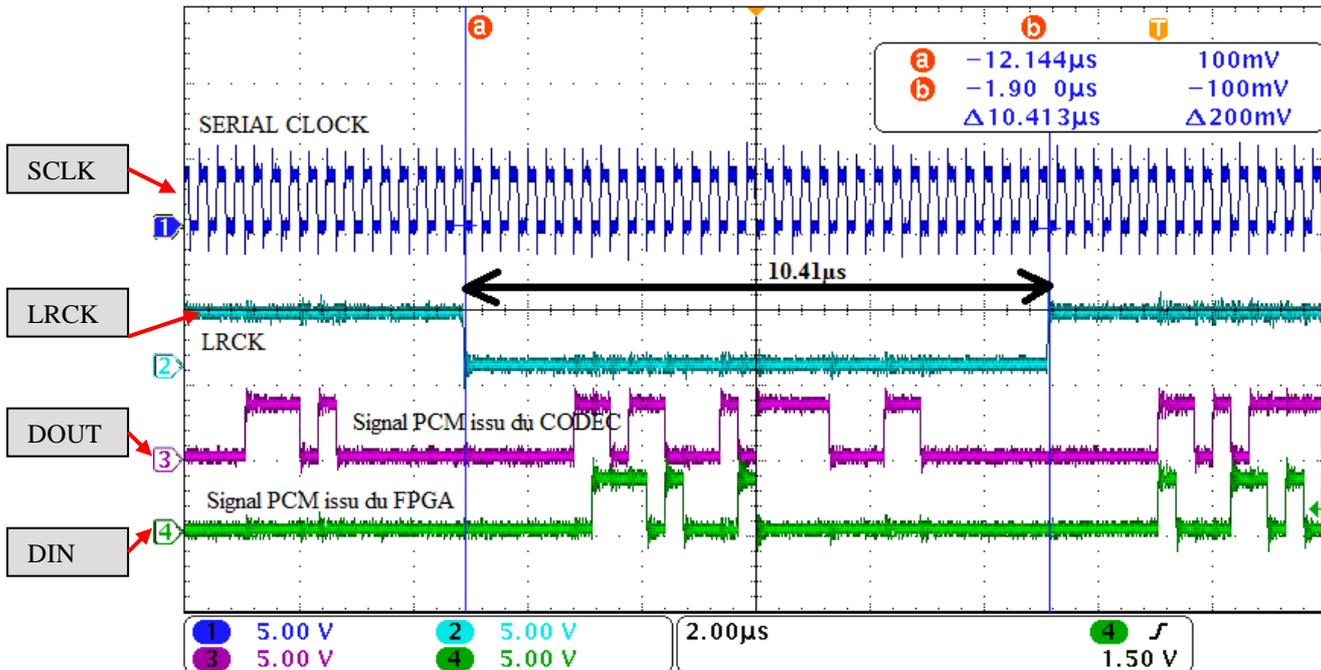
⇒ Identifiez sur le schéma structurel page précédente les fils constituant ce bus I2S :

- ⇒ SDIN : signal de donnée entrant dans le CODEC généré par le FPGA
- ⇒ SDOUT : signal de donnée émis par le CODEC vers le FPGA
- ⇒ SCLK : serial clock bit : horloge de cadencement des données PCM.
- ⇒ LRCK : Left right clock : détermine le canal transmis droit ou gauche.

3.4 Analyse de l'oscillogramme du bus I2S.

3.4.1 sachant que La fréquence du signal LRCK doit être la même que la fréquence d'échantillonnage du CODEC en déduire la fréquence d'échantillonnage F_e .

Remarque : le rapport cyclique de LRCK est de 50%.



3.4.2 Au vu du chronogramme ci-dessus la communication I2S entre le FPGA et le CODEC est elle simplex, half duplex, full duplex ?

3.4.3 En vous référant à l'oscillogramme ci-dessus déterminez le format maximal des données transmises en I2S : 32 bits ? 24 bits ? 16 bits ?

Remarque : dans le cas de notre application le FPGA travaillera sur 16 bits ignorant les LSB [bit16..bit23] transmis par le CODEC.

3.5 Décodage d'une trame PCM

Trame PCM d'après la documentation constructeur du CS4270 :

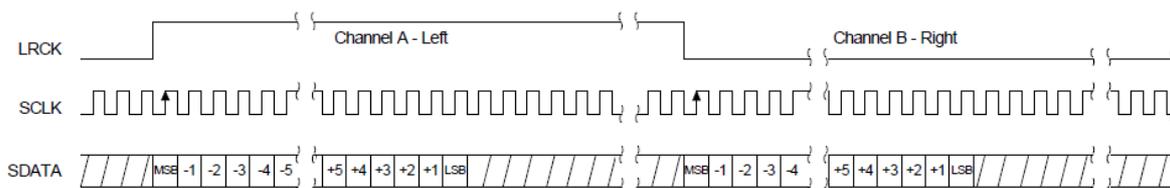
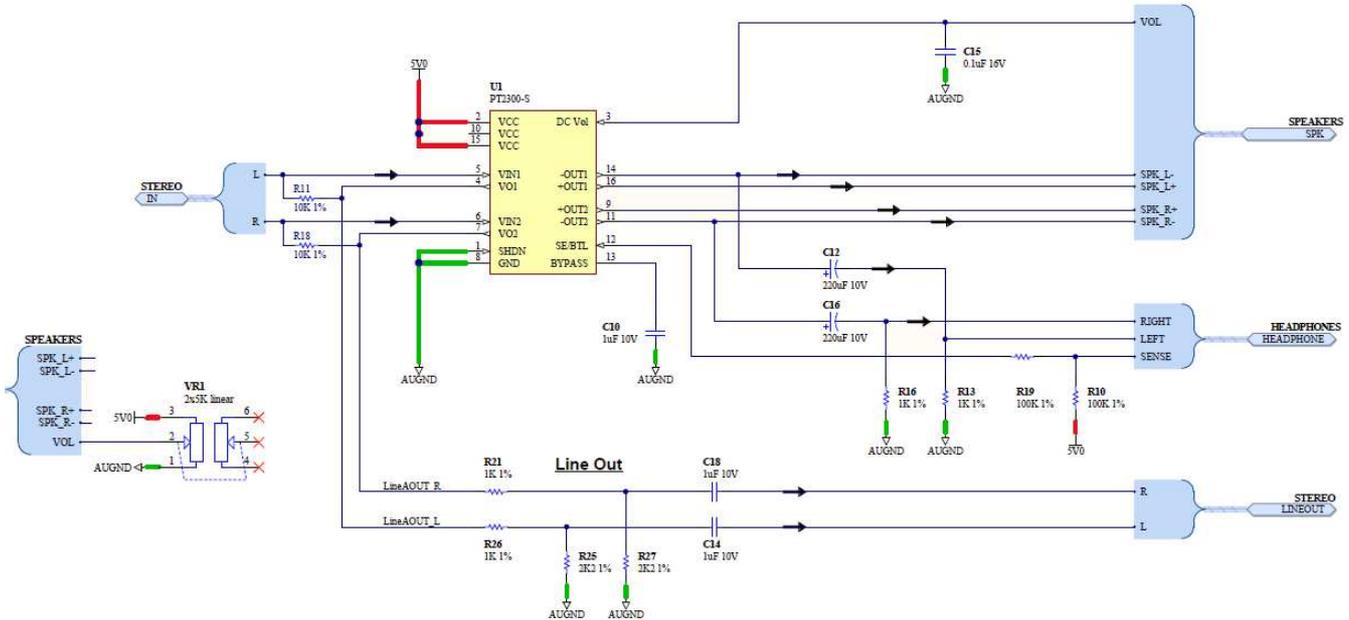


Figure 9. Format 0, Left-Justified up to 24-Bit Data

- ⇒ Au vu du schéma structurel ci-dessous, la Nanoboard 3000 permet-elle de générer le signal de sortie sur LINE OUT tout en générant un signal sonore vers les HP ?
- ⇒ Comment est contrôlé le volume de sortie des haut-parleurs (rôle de la broche 3) ?

Extrait du schéma structurel de la Nanoboard 3000 page 75/81 :



5 le rôle de la carte fille PB30

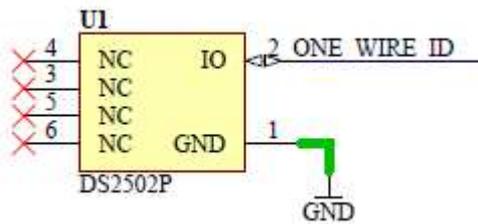
Cette carte fille nous permettra de visualiser les signaux I2S et SPI présents sur la Nanoboard.

Attention elle est équipée d'une mémoire ONE WIRE U1 :

le logiciel ALTIUM détecte la présence de cette carte.

Lors de la génération des fichiers contraintes vous veillerez à ce qu'elle soit bien implantée sur la Nanoboard.

LAISSEZ LA CARTE EN PLACE DURANT TOUT LE PROJET !



***** Fin du TD8.1 *****

TD : Etude structurelle de la Nanoboard 3000 :
La chaîne de traitement audio.

Durée estimée 2h

Document réponse des questions 3.3 et 3.6

