

## 0 Présentation du TP.

Pré-requis : ⇒ Aucun

Durée : ⇒ 1h

Objectif : ⇒ Ecrire un projet mettant en œuvre un compteur dans un FPGA

Durant de ce TP vous allez créer un **projet FPGA** sous **ALTIUM**.

Puis vous allez décrire le code implanté dans le **FPGA** par un schéma fonctionnel.  
Les composants de ce schéma sont issus d'une bibliothèque de descriptions de fonctions.  
Le schéma ainsi obtenu sera converti en **VHDL**.

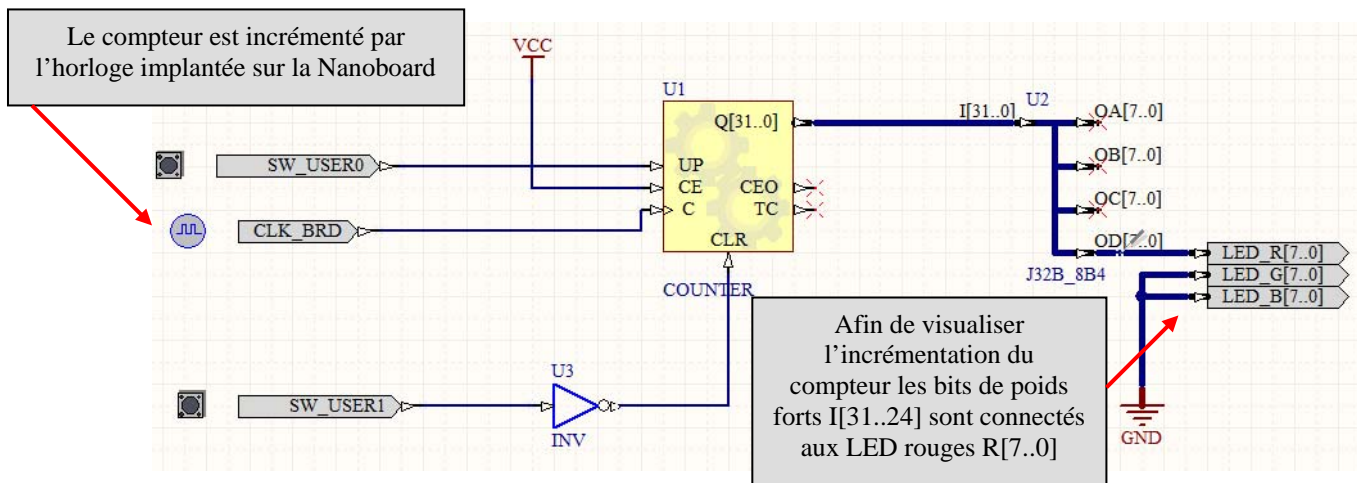
Le code **VHDL** sera compilé.

A l'issu de cette compilation le **FPGA** implanté sur la Nanoboard sera programmé.

### Sommaire du TP :

- 1 Création d'un nouveau projet
- 2 Dessin du compteur paramétrable
- 3 Connecter la Nanoboard 3000 et établir les fichiers contraintes
- 4 Compiler, Synthétiser, construire, programmer
- 5 Modification de la fréquence d'horloge
- 6 Fiche de formalisation

La fonction implantée dans le FPGA est décrite par le Schéma TOP ci-dessous :



Quelques conseils avant de commencer :

- ⇒ Les différents fichiers utilisés sous ALTIUM doivent porter des noms différents. ( risque d'erreur de récursion ).
- ⇒ Organisation des fichiers et répertoires :
  - ne pas créer de chemins trop profonds
  - ne pas utiliser le caractères espace « » et/ou le caractère moins «-» dans les noms
  - ne pas déplacer les fichiers de travail en cours de projet
- ⇒ Sous ALTIUM la feuille de schéma \*.SchDoc est en haut du projet, c'est le « TOP\_LEVEL ».
  - Avantage :   ⇒ cela établi un lien entre le projet FPGA et le projet PCB,
  - ⇒ cela permet une organisation hiérarchique du projet.
- ⇒ Ne jamais modifier les noms depuis l'explorateur WINDOWS, même pour reconstruire un nouveau projet. Méthode : renommer vos fichiers depuis STORAGE MANAGER.
- ⇒ Durant la construction de votre projet pensez à faire des sauvegardes fréquentes et à recompiler votre projet.

Ressources :           ⇒ voir le fichier Lab.pdf. (EDA Expert / Victor TRUONG )  
                              ⇒ sous le WIKI sur le site ALTIUM

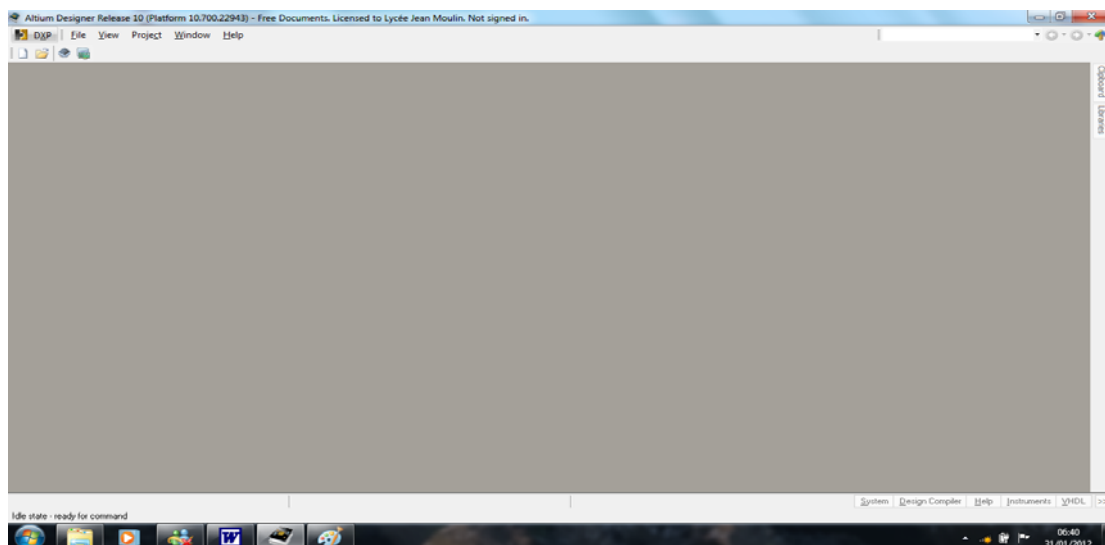
Les touches de raccourcis utiles :

Pour faire pivoter un objet ⇒ sélectionner l'objet ⇒ appuyer sur la barre espace	Pour ZOOMER / DEZOOMER Touches « SHIFT » + UP ↑ / « SHIFT » + DOWN ↓	Revenir au format 100% touches « V »+ « D »
--	---	--

**1 Création d'un nouveau projet.**

1.1 Repartir d'un environnement vide :

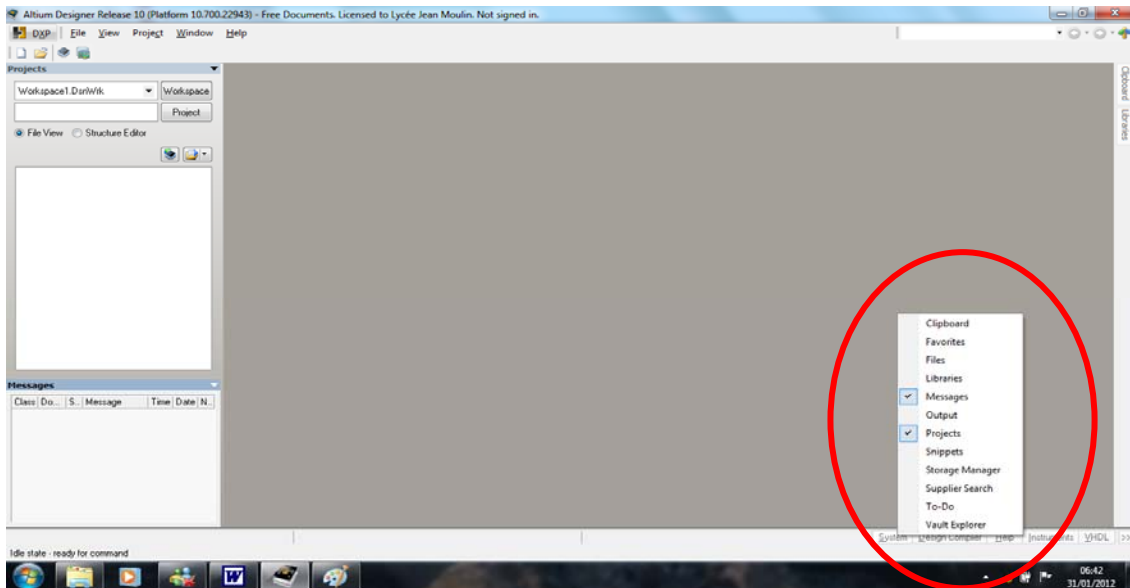
**Conseil :** créer un nouveau répertoire dans lequel vous placerez tous les éléments du présent projet .



## TP : Description schématique d'un compteur paramétrable sous ALTIUM.

### 1.2 Ouvrir les fenêtres projet et message :

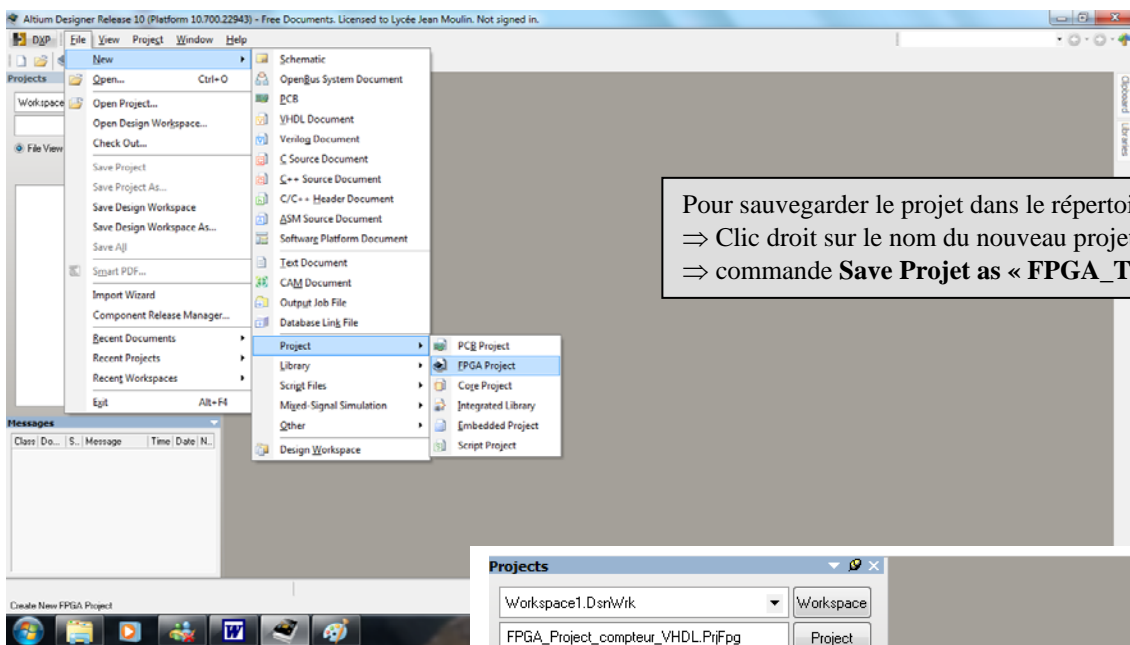
Paramétrer l'environnement de travail d'Altium Designer en utilisant la commande :  
⇒ **System** ( en bas à droite ) ⇒ **Messages et Projects**.



### 1.3 Créer et renommer le projet sous un nouveau répertoire :

⇒ **File** ⇒ **New** ⇒ **Project** ⇒ **FPGA Project**.

Un projet nommé FPGA\_Project.PrjFPGA apparaît dans l'onglet gestion de projet.



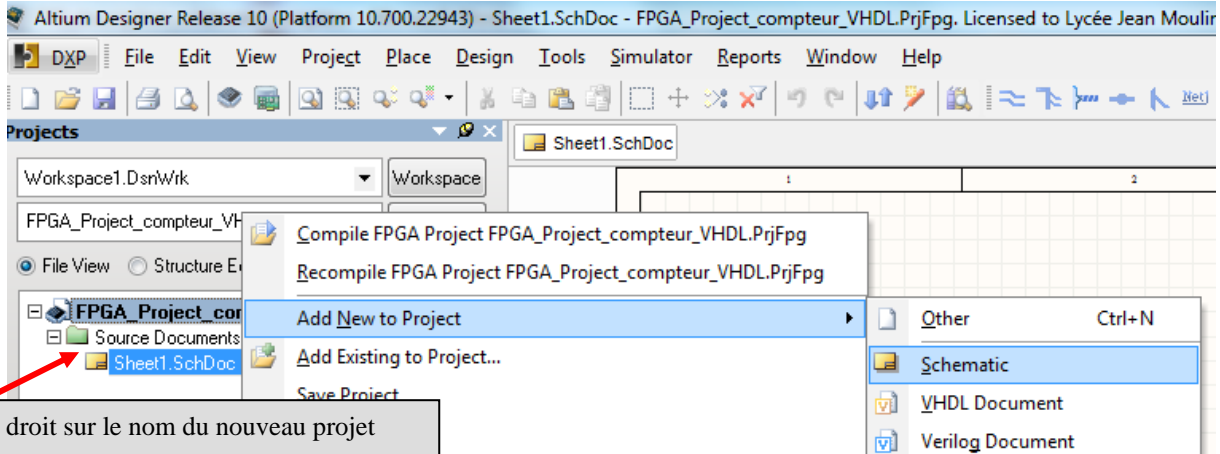
Remarque : Les caractères espace ( ) et/ou tiret (-) ne doivent pas être utilisés dans les noms du projet ou des documents. Le caractère underscore ( \_ ) peut être utilisé pour améliorer la lisibilité.

**1.4 Sous le projet placer une feuille sheet1.Schdoc**

Pour ajouter un nouveau schéma :

⇒ **clic droit** sur le nom du projet FPGA dans l'onglet Projets,

⇒ choisir la commande **Add New to Project** ⇒ **Schematic**.

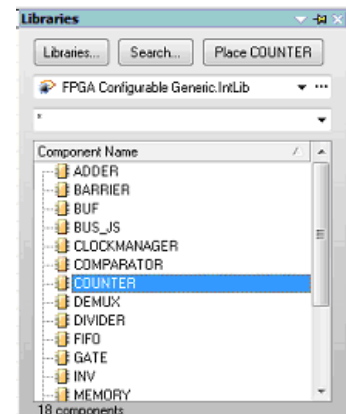


Clic droit sur le nom du nouveau projet  
 ⇒ **File** ⇒ **Save As**  
 Entrer le nom : Top TP1.SchDoc

**2 Dessin du compteur paramétrable:**

**2.1 Dans la bibliothèque FPGA Configurable Generic.IntLib :**

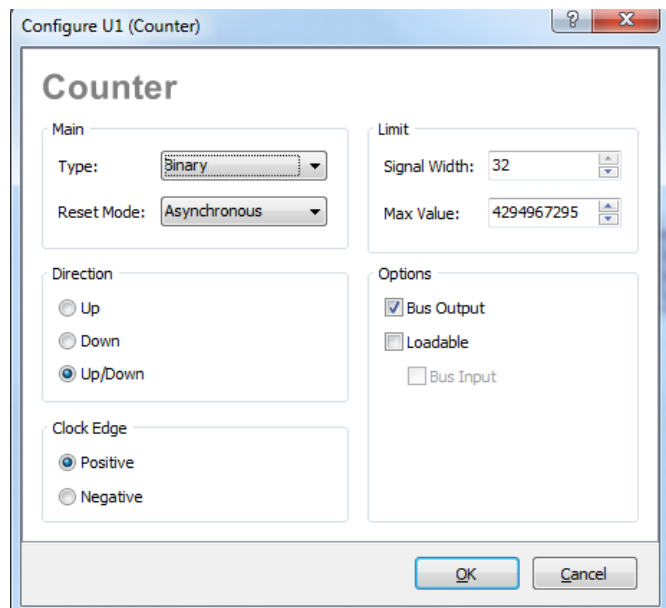
⇒ Sélectionner COUNTER, placer le au centre de la feuille.



**2.2 Configurer le compteur comme ci-dessous :**

Pour accéder à la fenêtre de configuration :  
 ⇒ cliquer droit sur le compteur  
 ⇒ cliquer sur Configure

**Configure U? (COUNTER) ...**



## TP : Description schématique d'un compteur paramétrable sous ALTIUM.

### 2.3 Dessiner le reste du schéma :

⇒ Importer les éléments des bibliothèques ci-dessous :

Description	Nom de la fonction	bibliothèque
Compteur configurable	COUNTER	FPGA Configurable Generic.IntLib
Commande du Barre-graphe 8 LED 3 couleurs	LEDS_RGB	FPGA NB3000 Port-Plugin.IntLib
Entrée de l'horloge paramétrable	CLOCK_BOARD	FPGA NB3000 Port-Plugin.IntLib
Entrée du bouton 0 / RESET de la Nanoboard	USER_BUTTON0	FPGA NB3000 Port-Plugin.IntLib
Entrée du bouton 1 de la Nanoboard	USER_BUTTON1	FPGA NB3000 Port-Plugin.IntLib
Inverseur logique intégré dans le FPGA	INV	FPGA Generic.IntLib
Divergence bus : 1 x 32-Bit input to 4 x 8-Bit output	J32B_8B4	FPGA Generic.IntLib

⇒ Placer le symbole masse pour bus 8 bits ( bus ground power port )



⇒ Placer le symbole VCC :



⇒ Relier les fils et les bus :



NE PAS CONFONDRE LES  
BUS ET LES FILS !

⇒ Déclarer les signaux non utilisés

Pour faire pivoter un objet  
⇒ sélectionner l'objet  
⇒ appuyer sur la barre espace

Astuces !

Pour zoomer sur les composants placés :  
touches « V » + « F »

Pour ZOOMER  
Touches « SHIFT » + UP ↑

Revenir au format 100%  
touches « V » + « D »

### 2.4 Numéroté automatiquement les composants

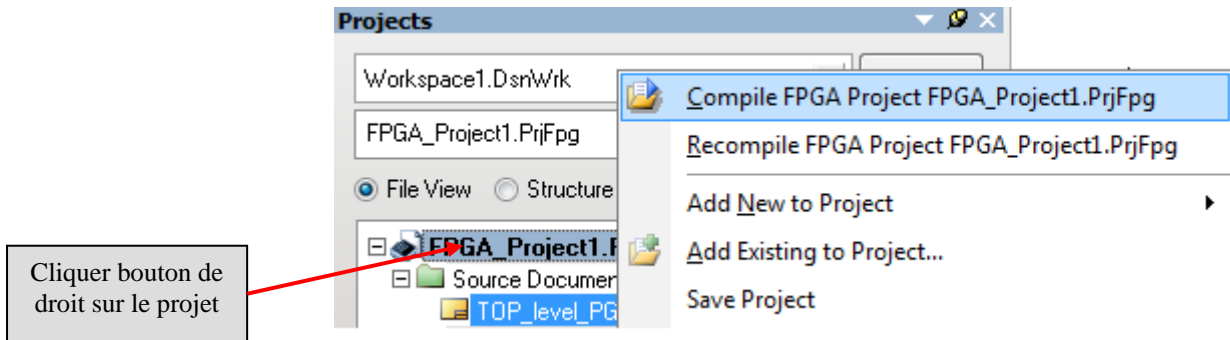
⇒ **Menu :** TOOLS

⇒ **Commande :** Annotate Schematic quietly

Annotate Schematics Quietly...

### 2.5 Compiler et sauver le projet.

Compiler le projet par un **clic droit** sur le nom du projet FPGA dans l'onglet Projets et choisir la commande **Compile FPGAProject FPGA\_Projet1.PrjFpg**



## 3 Connecter la Nanoboard 3000 et établir les fichiers contraintes.

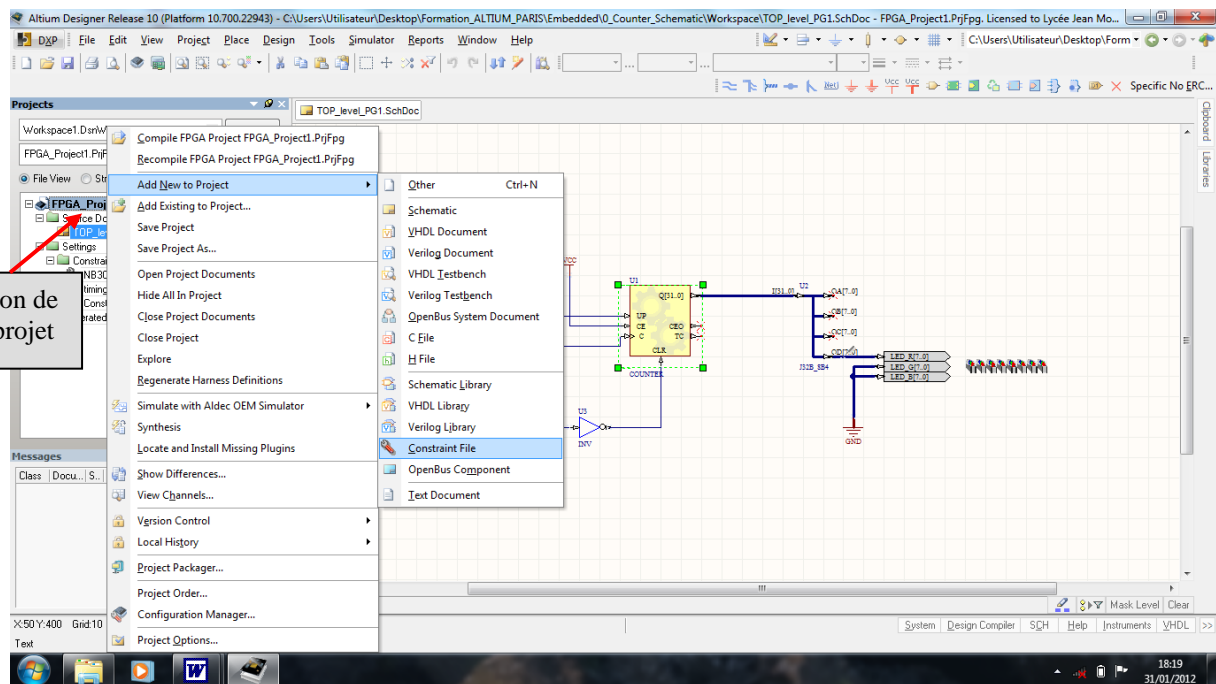
Les **fichiers contraintes** décrivent notamment la connexion broche à broche des fonctions implémentées dans le FPGA. Comme nous travaillons toujours avec la Nanoboard 3000AL2 il est plus rapide de reprendre toujours le même fichier contraintes fourni par ALTIUM. ( voir partie 3.2 )

Autres rôles des fichiers contraintes:

- ⇒ paramétrer des broches spécifiques tels que l'horloge ( voir partie 3.1).
- ⇒ si nous décrivons un projet à une autre cible que la Nanoboard il faudra alors créer les fichiers contraintes propres à cette carte.

### 3.1 Contraindre les entrées d'horloge :

Ajouter un nouveau fichier de contrainte par un **clic droit** sur le nom du projet FPGA dans l'onglet Projets et choisir la commande **Add New to Project>> Constraint File**.

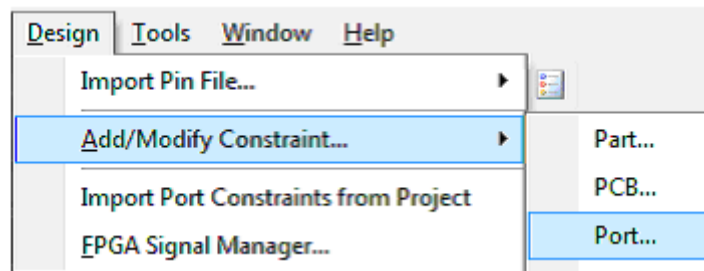


⇒ Le fichier contrainte vierge apparaît :

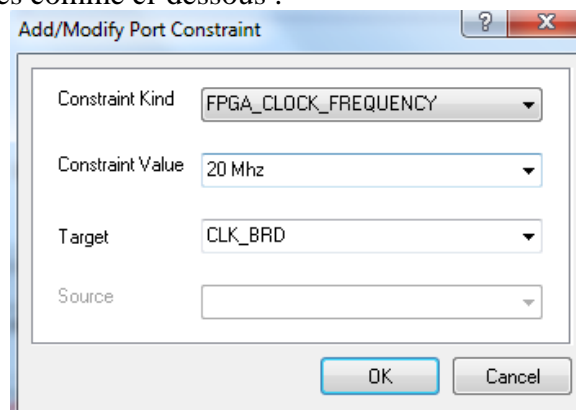
```
.....  
;Constraints File  
; Device :  
; Board :  
; Project :  
;  
; Created 2/21/2012  
.....  
  
.....  
Record=FileHeader | Id=DXP Constraints v1.0  
.....
```

⇒ Pour compléter le fichier contrainte nous allons utiliser un générateur de code automatique.

⇒ Remarque : il est aussi possible de compléter le code manuellement.



⇒ Compléter les fenêtres comme ci-dessous :



⇒ Le code suivant est ainsi obtenu :

```
.....  
;Constraints File  
; Device :  
; Board :  
; Project :  
;  
; Created 07/05/2012  
.....  
  
.....  
Record=FileHeader | Id=DXP Constraints v1.0  
.....  
  
Record=Constraint | TargetKind=Port | TargetId=CLK_BRD | FPGA_CLOCK_FREQUENCY=20 Mhz
```

## TP : Description schématique d'un compteur paramétrable sous ALTIUM.

Il est conseillé de contraindre l'horloge du JTAG en ajoutant le code au fichier contrainte:

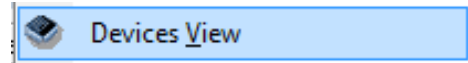
```
Record=Constraint | TargetKind=Port | TargetId=jtag_nexus_tck | FPGA_CLOCK_FREQUENCY=1 Mhz
```

### 3.2 Appel du fichier contrainte propre à la Nanoboard 3000

⇒ Pour visualiser la liaison avec la Nanoboard

⇒ **menu VIEW**

⇒ **commande Devices\_View**

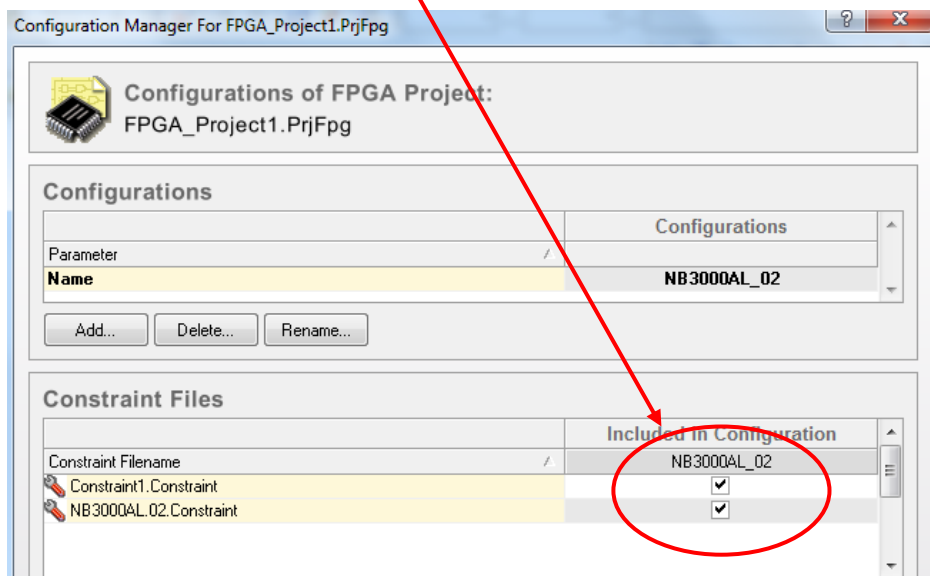
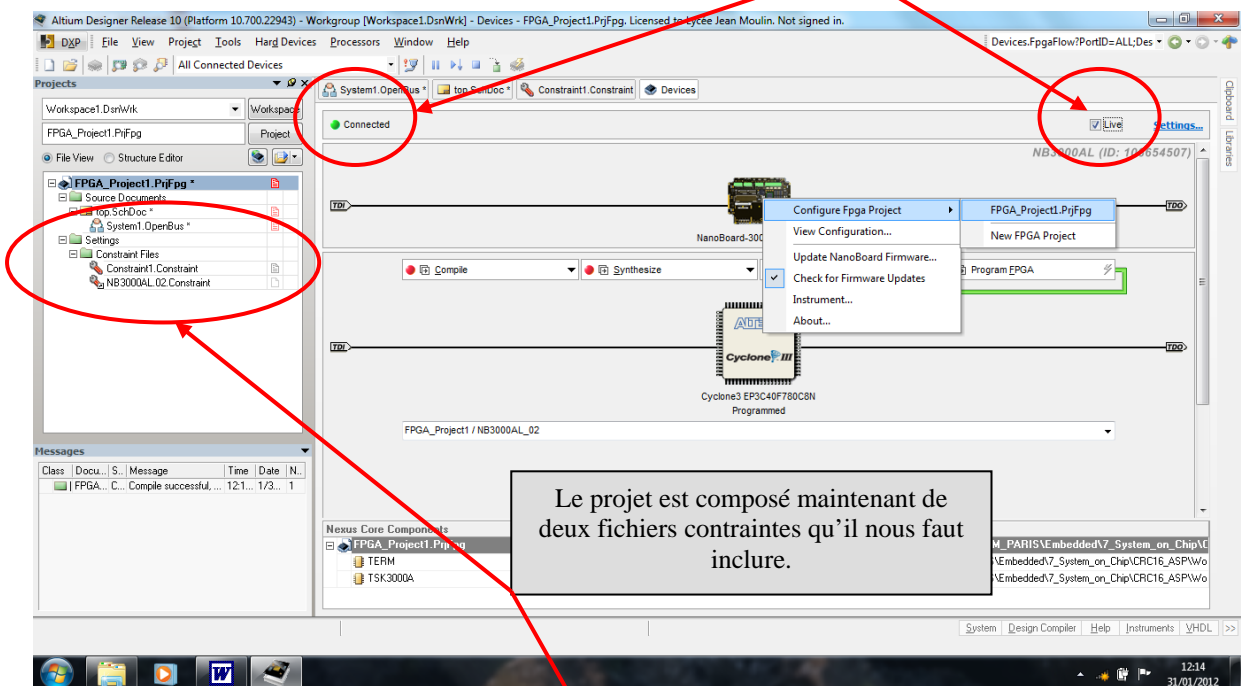


⇒ Connecter la Nanoboard au PC.

⇒ Cliquer droit sur l'icône Nanoboard

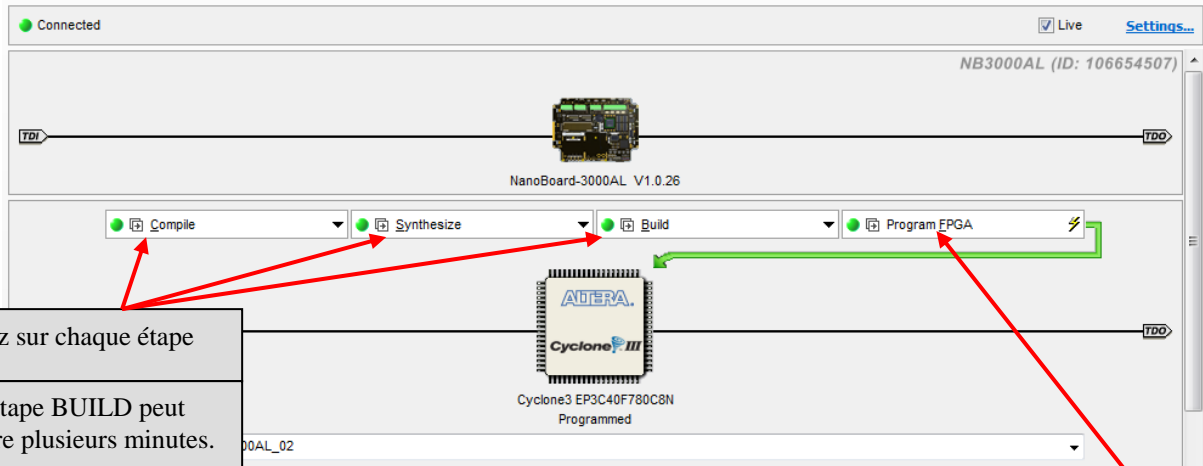
⇒ Configure FPGA Project / FPGA\_Project1.PrjFpg

Assurez vous de la connexion  
PC ↔ Nanoboard





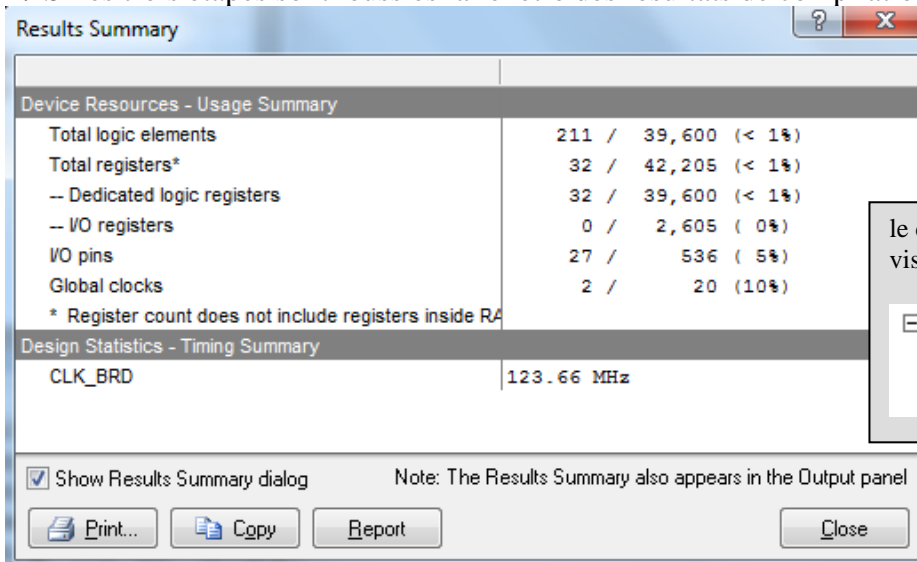
#### 4 Compiler, Synthétiser, construire, programmer



Cliquez sur chaque étape

L'étape BUILD peut prendre plusieurs minutes.

⇒ Si les trois étapes sont réussies la fenêtre des résultats de compilation apparaît :



le code VHDL obtenu peut être visualisé sous le projet :

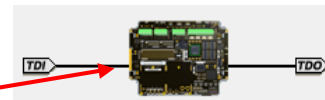
- VHDL Files
  - Configurable\_U1.VHD
  - TOP\_level\_PG1.VHD

⇒ Programmez.

⇒ Après programmation les LED permettent de visualiser l'incrémentation du compteur.

#### 5 Modification de la fréquence d'horloge

Double cliquer sur l'icône Nanoboard et régler la fréquence

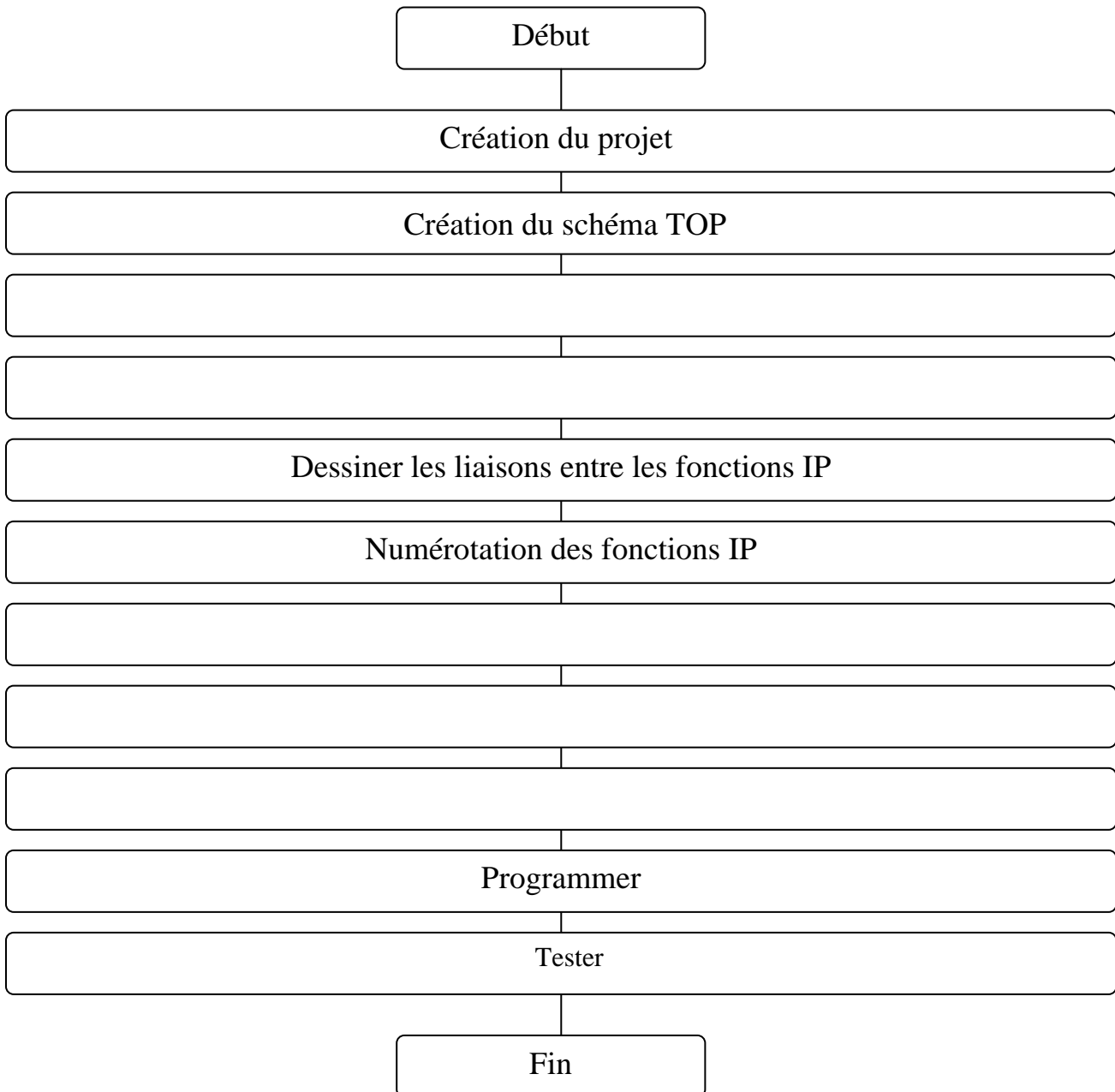


## 6 Fiche de formalisation

Afin de garder une trace écrite de la procédure mis en œuvre durant ce TP1 complétez sur le document réponse n°1 l'organigramme ci-dessous à partir des items fournis :

- Items ⇒ Paramétrage des fonctions IP  
⇒ Ajout des fichiers contraintes  
⇒ Compiler synthétiser Construire  
⇒ Placement des fonctions IP à implémenter dans le FPGA  
⇒ Compilation et débbugage préliminaires

Document réponse n°1 :



\*\*\*\*\* Fin du TP1 \*\*\*\*\*