

0 Présentation du TP.



Quelques conseils avant de commencer :

- ⇒ Les différents fichiers utilisés sous ALTIUM doivent porter des noms différents. (risque d'erreur de récursion).
- \Rightarrow Organisation des fichiers et répertoires :
 - ne pas créer de chemins trop profonds

ne pas utiliser le caractères espace « » et/ou le caractère moins «-» dans les noms ne pas déplacer les fichiers de travail en cours de projet

⇒ Sous ALTIUM la feuille de schéma *.SchDoc est en haut du projet, c'est le « TOP_LEVEL ».

Avantage : \Rightarrow cela établi un lien entre le projet FPGA et le projet PCB, \Rightarrow cela permet une organisation hiérarchique du projet.

 \Rightarrow Ne jamais modifier les noms depuis l'explorateur WINDOWS, même pour reconstruire un nouveau projet. Méthode : renommer vos fichiers depuis STORAGE MANAGER.

 \Rightarrow Durant la construction de votre projet pensez à faire des sauvegardes fréquentes et à recompiler votre projet.

Ressources : \Rightarrow voir le fichier Lab.pdf. (EDA Expert / Victor TRUONG) \Rightarrow sous le WIKI sur le site ALTIUM

Les touches de raccourcis utiles :

Pour faire pivoter un objet	Pour ZOOMER / DEZOOMER	Revenir au format 100%
\Rightarrow sélectionner l'objet	Touches « SHIFT » + UP \uparrow / « SHIFT » + DOWN \downarrow	touches « V »+ « D »
\Rightarrow appuyer sur la barre espace		

1 Création d'un nouveau projet.

1.1 Repartir d'un environnement vide :

Conseil : créer un nouveau répertoire dans lequel vous placerez tous les éléments du présent projet .

	Colourd Librates
	Ciploard Libraries
	ud Ubraves
	braves
Shreew Decido coubeet Heb lucar	wents AHDC >>
- 🤞 🔐 🖻	06:40
	31/01/2012
	Syntem Design-Compiler Help Insta - 📣 🕅 1

1.2 Ouvrir les fenêtres projet et message :

Paramétrer l'environnement de travail d'Altium Designer en utilisant la commande : \Rightarrow System (en bas à droite) \Rightarrow Messages et Projects.



1.3 Créer et renommer le projet sous un nouveau répertoire :

\Rightarrow File \Rightarrow New \Rightarrow Project \Rightarrow FPGA Projet.

Un projet nommé FPGA_Project.PrjFPGA apparaît dans l'onglet gestion de projet.



1.4 Sous le projet placer une feuille sheet1.Schdoc

Pour ajouter un nouveau schéma :

 \Rightarrow clic droit sur le nom du projet FPGA dans l'onglet Projets,

 \Rightarrow choisir la commande Add New to Projet \Rightarrow Schematic.



2 Dessin du compteur paramétrable:

- 2.1 Dans la bibliothèque FPGA Configurable Generic.IntLib :
- \Rightarrow Sélectionner COUNTER, placer le au centre de la feuille.



2.2 Configurer le compteur comme ci-dessous :

	Configure U1 (Counter)	R X
Pour accéder à la fenêtre de configuration : ⇒ cliquer droit sur le compteur ⇒ cliquer sur Configure	Counter Main Type: Sinary • Reset Mode: Asynchronous •	Limit Signal Width: 32 A Max Value: 4294967295 A
Configure U? (COUNTER)	Direction Up Down Oup/Down	Options Bus Output Loadable Bus Input
	Clock Edge Positive Negative	
		QK <u>C</u> ancel

2.3 Dessiner le reste du schéma :

 \Rightarrow Importer les éléments des bibliothèques ci-dessous :

Description	Nom de la fonction	bibliothèque
Compteur configurable	COUNTER	FPGA Configurable Generic.IntLib
Commande du Barre-graphe 8 LED 3 couleurs	LEDS_RGB	FPGA NB3000 Port-Plugin.IntLib
Entrée de l'horloge paramétrable	CLOCK_BOARD	FPGA NB3000 Port-Plugin.IntLib
Entrée du bouton 0 / RESET de la Nanoboard	USER_BUTTON0	FPGA NB3000 Port-Plugin.IntLib
Entrée du bouton 1 de la Nanoboard	USER_BUTTON1	FPGA NB3000 Port-Plugin.IntLib
Inverseur logique intégré dans le FPGA	INV	FPGA Generic.IntLib
Divergence bus : 1 x 32-Bit input to 4 x 8-Bit output	J32B 8B4	FPGA Generic.IntLib

 \Rightarrow Placer le symbole masse pour bus 8 bits (bus ground power port)

Vec



NE PAS CONFONDRE LES BUS ET LES FILS !

- \Rightarrow Placer le symbole VCC :
- \Rightarrow Relier les fils et les bus :
- \Rightarrow Déclarer les signaux non utilisés



touches « V »+ « D »

2.4 Numéroter automatiquement les composants

 \Rightarrow Menu : TOOLS

 \Rightarrow **Commande** : Annotate Schematic quietly

Annotate Schematics Quietly...

2.5 Compiler et sauver le projet.

Compiler le projet par un clic droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande Compile FPGAProjet FPGA Projet1.PrjFPg



Connecter la Nanoboard 3000 et établir les fichiers contraintes. 3

Les fichiers contraintes décrivent notamment la connexion broche à broche des fonctions implémentées dans le FPGA. Comme nous travaillons toujours avec la Nanoboard 3000AL2 il est plus rapide de reprendre toujours le même fichier contraintes fourni par ALTIUM. (voir partie 3.2)

Autres rôles des fichiers contraintes:

- \Rightarrow paramétrer des broches spécifiques tels que l'horloge (voir partie 3.1).
- \Rightarrow si nous décrivons un projet à une autre cible que la Nanoboard il faudra alors créer les fichiers contraintes propres à cette carte.

3.1 Contraindre les entrées d'horloge :

Ajouter un nouveau fichier de contrainte par un clic droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande Add New to Projet>> Constraint File.

Projects Workspace1 DarW FPGA_Project1 Pif © File View St © FPGA_Project1 Pif © File View St © FPGA_Project1 Pif © File View St © Settings © Corebra Uniting Corebra Uniting Corebra Strings © Corebra Uniting Corebra Strings	Compile FPGA Project FPGA, ProjectL PrjFpg Becompile FPGA Project FPGA, ProjectL PrjFpg Add New to Project Add Existing to Project Save Project As Open Project Documents Hide All In Project Close Project Documents Lidse Project Explore	P01.9ch0o Image: Description of the second secon		131.0 ⁽¹⁾	
Cliquer bouton de droit sur le projet	Compile FPGA Project FPGA_ProjectLPfjFpg Becompile FPGA Project FPGA_ProjectLPfjFpg Add New to Project Save Project Save Project Save Project Save Project As Open Project Documents Hide All In Project Close Project Documents Close Project Documents Close Project Documents Explore	Qther Ctrl+N Schematic yHOL Document yeilog Document veilog Document yeilog Testgench yeeBus System Document CFile DerBus System Document CFile	91 91.00 91.	ાગા હોતા. શે જોવા હો ગગા હોતા જે	
Messages Class Docu S.	Begenerate Harness Definitions Simulate with Aldec OEM Simulator Synthesis Locate and Install Missing Plugins Wew Channels View Channels Version Control Locat History Project Packager	Schematic Library Schematic Library Schematic Library Veriog Library Constraint File OpenBus Component Jest Document			3 90000000 [
	Project Order				✓ SINT Mask Level Clear
×:50 Y:400 Grid:10	Configuration Manager	_		System	Design Compiler SCH Help Instruments VHDL
Text	Project Options				

Formation ALTIUM - 1	TP_description_schématic_compteur-FPGA	03/04/2013	6 / 10
----------------------	--	------------	--------

 \Rightarrow Le fichier contrainte vierge apparaît :

2	Device :
2	Board :
2	Project :
2	
2	Created 2/21/2012
2.	
:	

 \Rightarrow Pour compléter le fichier contrainte nous allons utiliser un générateur de code automatique. \Rightarrow Remarque : il est aussi possible de compléter le code manuellement.

Design Tools Window Help			
Import Pin File	۲	E	
Add/Modify Constraint	٠		Part
Import Port Constraints from Project			PCB
EPGA Signal Manager			Port

 \Rightarrow Compléter les fenêtres comme ci-dessous :

Add/Modi	fy Port Co	nstraint	2	×
Constra	aint Kind	FPGA_CLOCK_FREQUENCY		•
Constra	aint Value	20 Mhz		•
Target		CLK_BRD		•
Source)			-
		ОК	Ca	ancel

 \Rightarrow Le code suivant est ainsi obtenu :

		••		• •	• •	• •	• •			•	• •	• •	• •	•	•••	• •		• •	•	• •	• •	•	• •	• •	•	• •	• •	•		• •	•	• •	• •	• •	•••	• •	•	• •	• •	• •	•••	• •
;Coi	nstrain	ts	Fi	le																																						
;	Device		:																																							
2	Board		:																																							
2	Projec	t	:																																							
2																																										
2	Create	d	07/	05,	/2	01	2																																			
;		••	•••	• •	• •	••	••	• • •	•	•	• •	• •	• •	•	• •	• •	• •	• •	-	• •	• •	•	• •	• •	•	• •	• •	•	•	• •	•	• •	• •	• •	• •	• •	-	• •	• •	••	• •	• •
Deer	mel_Fill					÷.				٠,											• •									• •			•••		•••			• •			•••	• •
Reco	ora=rii		ad	er	1	1	a=	-DV	(P		-0	ma	56	гe	11.	nu	-3	v	1	• •																						

Il est conseillé de contraindre l'horloge du JTAG en ajoutant le code au fichier contrainte:

Record=Constraint | TargetKind=Port | TargetId=jtag_nexus_tck | FPGA_CLOCK_FREQUENCY=1 Mhz

3.2 Appel du fichier contrainte propre à la Nanoboard 3000

$\Rightarrow Pour visua \Rightarrow me \Rightarrow con$	liser la liaison avec la Na nu VIEW nmande Devices_View	anoboard	Devices <u>V</u> iew	
⇒ Connecter ⇒ Cliquer dro ⇒ Configure	la Nanoboard au PC. pit sur l'icône Nanoboard FPGA Project / FPGA_l	d Project1.PrjFpg	Assurez vous PC ⇔1	de la connexion Nanoboard
Altium Designer Release 10 (Platt Dogp Elle View Project Project Vorkspoce1. DariWrk. FPGA_Project1. Prifpg File View Structure Editor File View Structure Editor File View Structure Editor Source Documer: Source Documer: Constraint I Constraint Constraint I Constraint R NB3000AL 02 Constraint R NB3000AL 02 Constraint FIGA_CC Comple successful	iom 10.700.22943) - Workgroup (WorkspaceLDsnWrk) - Devices	PGA Project Drifte, Licensed 1- byte Jean Moulin. N Constraint Constraint Constraint Constraint Cycloned Synthesize Cycloned EPICAPF Programmed L_02	Configure Fpga Project Configure Fpga Project View Configuration Update NanoBoard Firmware Update NanoBoard Firmware Program Instrument About Program Reconstruct About Check for Firmware Updates Program Reconstruct About Program Reconstruct About	
	initial initinitial initinitial initinitial initial initial initial initial ini	jFpg PGA Project:	Configurations NB 3000AL_02 clucted in Configuration NB 3000AL_02	

4 Compiler, Synthétiser, construire, programmer

	Connected					Live <u>Settings</u>
						NB3000AL (ID: 106654507)
				2		
	TDI			P		<u></u>
	NanoBoard-3000AL V1.0.26					
		▼ Svothesize	-	The Build		Program EPGA
		• Gynalosize			·	
]		.		
quez	z sur chaque étape		Cyclone			1005
				" F		
L'étape BUILD peut			Cyclone3 EP3C40F Programme	d		
endr	e plusieurs minutes.	00AL_02				-
	-> Cilas trais átan	as sont néussias la fa	nôtra daa	ná aviltat	da aamm	ilation appareît .
	\rightarrow SI les trois étap	es som reussies la le	neue des	resultat	s de comp	mation apparait .
	Results Summary				R	
	Device Resources - Usag	e Summary				
	Total logic elements		211 /	39,600	(< 1%)	
	Total registers*		32 /	42,205	(< 1%)	
	Dedicated logic regis	sters	32 /	39,600	(< 1%)	
	VO registers		0 /	2,605	(0%)	le code VHDL obtenu peut être
	VO pins		27 /	536	(5%)	visualisé sous le projet :
	Global clocks		2 /	20	(10%)	
	* Register count does	not include registers inside RA				🗆 🛄 VHDL Files
	Design Statistics - Timing	Summary				🚽 Configurable_U1.VHD
	CLK_BRD		123.66 MHz			👩 TOP_level_PG1.VHD
	Show Results Summary dialog Note: The Results Summary also appears in the Output panel					it panel
	🛛 🖓 Print. 🔹 🕞	Conv Benort			Clo	se
			- Dra	Joramm	P7	
			/ I I (granni	UL.	

 \Rightarrow Après programmation les LED permettent de visualiser l'incrémentation du compteur.

5 Modification de la fréquence d'horloge



Formation ALTIUM - 1 TP_description_schématic_compteur-FPGA 03/04/2013 9 / 10

6 Fiche de formalisation

Afin de garder une trace écrite de la procédure mis en œuvre durant ce TP1 complétez sur le document réponse n°1 l'organigramme ci-dessous à partir des items fournis :

<u>Items</u> \Rightarrow Paramétrage des fonctions IP

- \Rightarrow Ajout des fichiers contraintes
- \Rightarrow Compiler synthétiser Construire
- \Rightarrow Placement des fonctions IP à implémenter dans le FPGA
- \Rightarrow Compilation et debbugage préliminaires

