



# Sciences et technologies de l'Industrie et du développement durable

## PARCOURS DE FORMATION SIN – FPGA

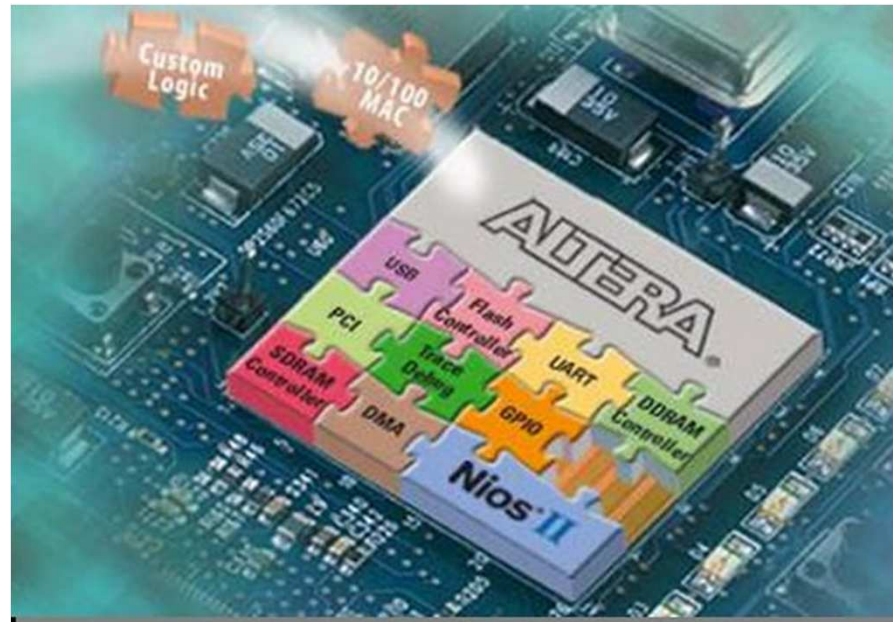
Formation des enseignants.  
Spécialité SIN du baccalauréat STI2D

**Christian Dupaty**

Professeur de génie électrique  
Lycée Fourcade 13120 Gardanne

[christian.dupaty@ac-aix-marseille.fr](mailto:christian.dupaty@ac-aix-marseille.fr)

<http://genelaix.free.fr>

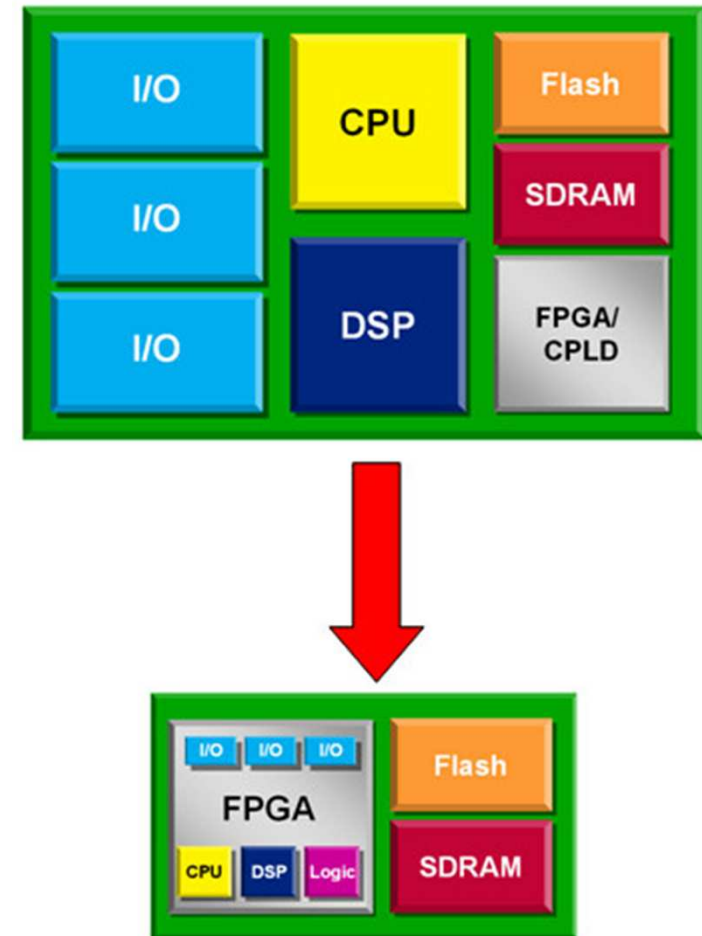


# Le microcontrôleur NIOS II

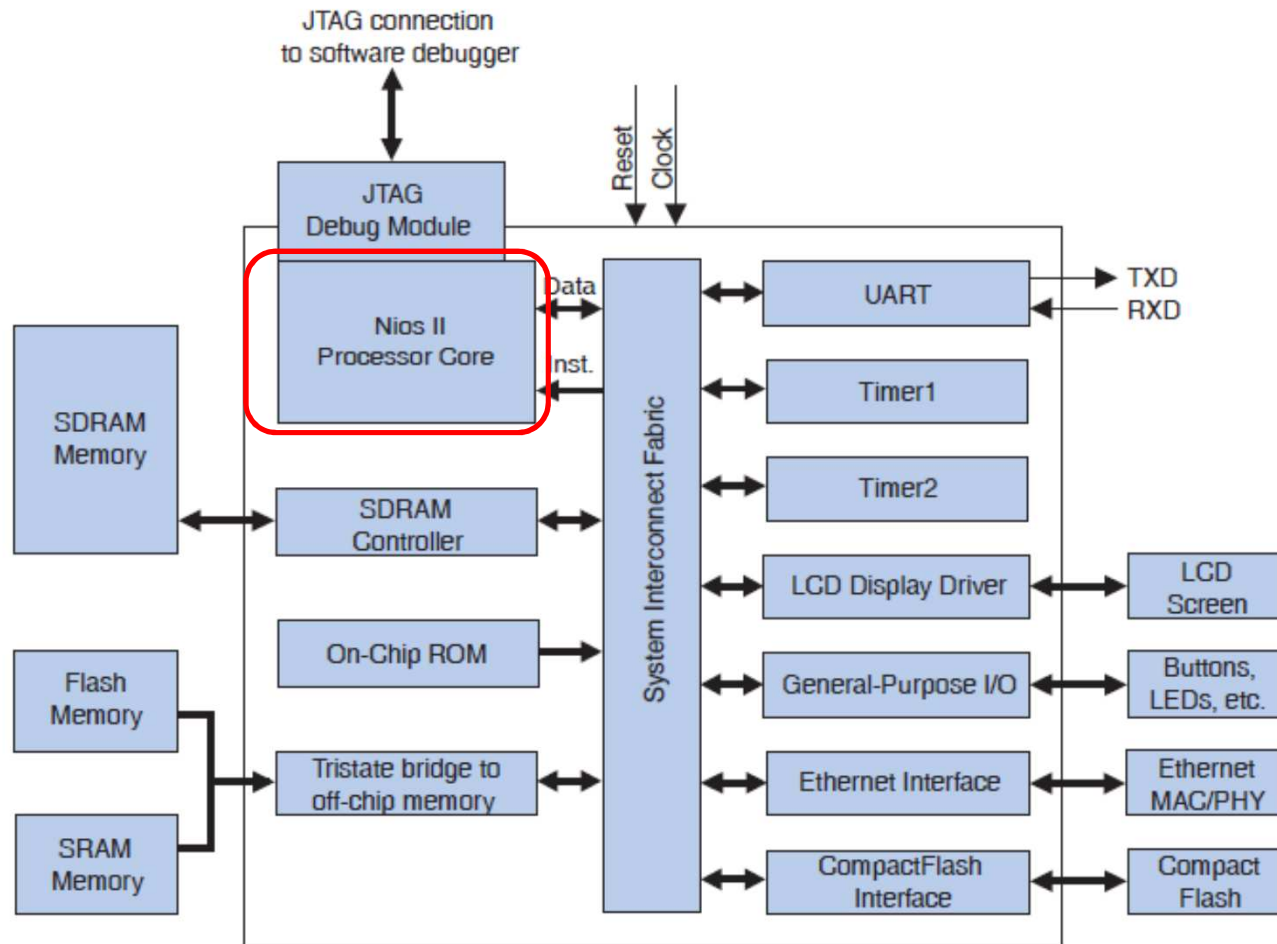
**Christian Dupaty** – académie d'Aix-Marseille  
[christian.dupaty@ac-aix-marseille.fr](mailto:christian.dupaty@ac-aix-marseille.fr) <http://genelaix.free.fr/>

# NIOS II

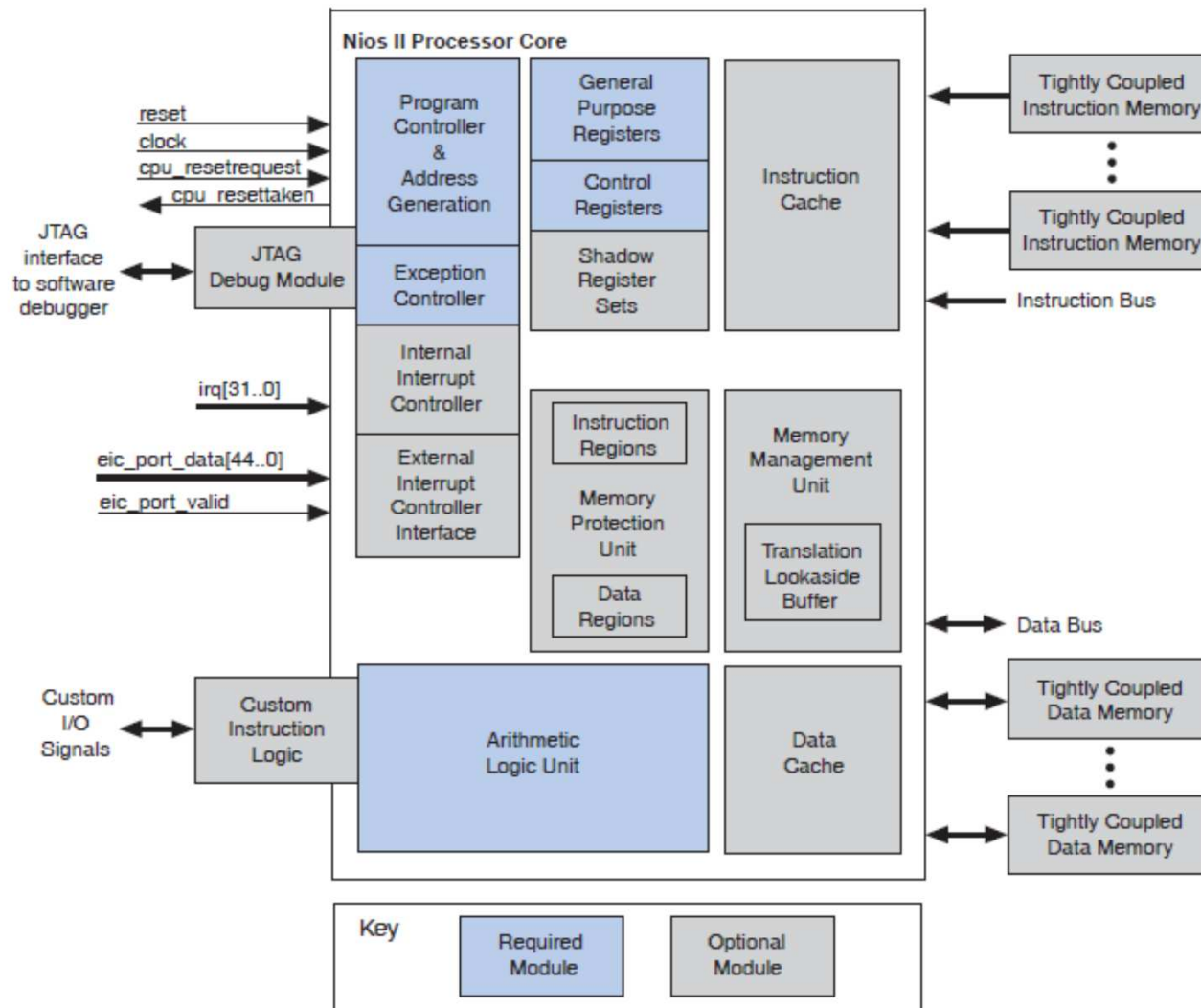
- Le processeur NIOS II est un composant IP (Intellectual property) d'ALTERA.
- Processeur 32 bits en technologie RISC
- Trois versions sont proposées suivant la licence disponible.
- L'outil de développement crée une description HDL du microcontrôleur et de ses périphériques qui est synthétisable dans un FPGA.



# Exemple de système embarqué

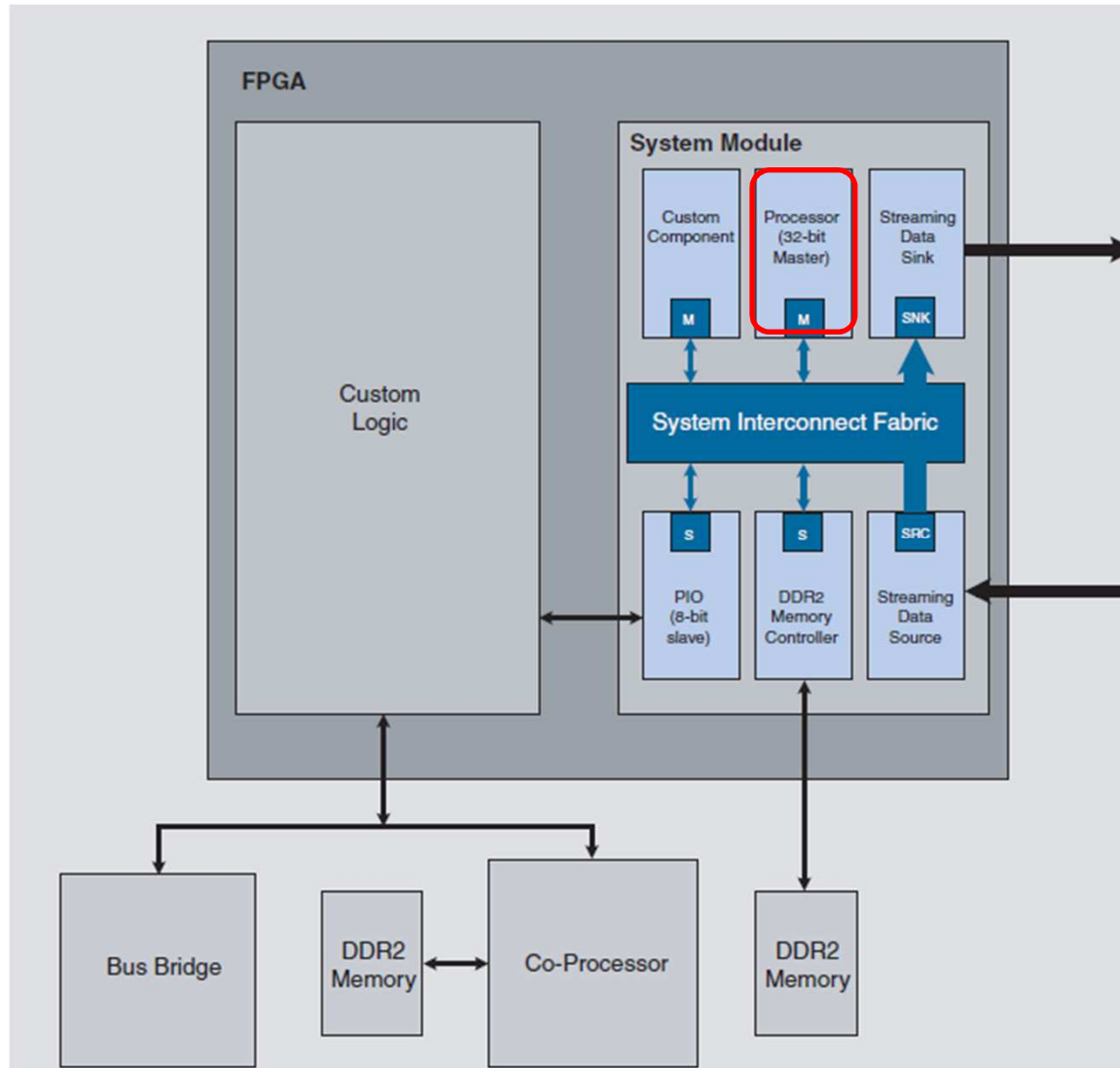


# Structure configurable d'un cœur NIOS II



# SOPC

system-on-a-programmable-chip





# SOPC Builder

Altera SOPC Builder - NIOSII\_mini.sopc (C:\altera\projets\PEM\_NIOSII\NIOSII\_mini.sopc)

File Edit Module System View Tools Nios II Help

System Contents System Generation

Component Library

Project

- New component...
- Library
  - Avalon Verification Suite
  - Bridges and Adapters
  - Interface Protocols
  - Legacy Components
  - Memories and Memory Control
  - Merlin Components
  - Peripherals
    - Debug and Performance
      - Avalon-ST Data F...
      - Avalon-ST Data F...
      - Avalon-ST Test P...
      - Avalon-ST Test P...
      - Performance Cou...
      - System ID Periph...
    - Display
      - Character LCD
      - Pixel Converter (E...
      - Video Sync Gene...
    - FPGA Peripherals
      - Remote Update C...
    - Microcontroller Periph...

Target

Device Family: Cyclone II

Clock Settings

Name	Source	MHz
clk	External	50,0

Use	Conn...	Module	Description	Clock	Base	End	IRQ	Tags
<input checked="" type="checkbox"/>		onchip_memory2_0	On-Chip Memory (RAM or ROM)	[clk1]				
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave	clk	0x00008000	0x0000ffff		
<input checked="" type="checkbox"/>		cpu_0	Nios II Processor	clk				
<input checked="" type="checkbox"/>		instruction_master	Avalon Memory Mapped Master	clk				
<input checked="" type="checkbox"/>		data_master	Avalon Memory Mapped Master	clk			IRQ 0	IRQ 31
<input checked="" type="checkbox"/>		jtag_debug_module	Avalon Memory Mapped Slave	clk	0x00010800	0x00010fff		
<input checked="" type="checkbox"/>		sorties	PIO (Parallel IO)	clk				
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave	clk	0x00011040	0x0001104f		
<input checked="" type="checkbox"/>		entrees	PIO (Parallel IO)	clk				
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave	clk	0x00011050	0x0001105f		
<input checked="" type="checkbox"/>		timer_0	Interval Timer	clk				
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave	clk	0x00011000	0x0001101f		
<input checked="" type="checkbox"/>		uart_0	UART (RS-232 Serial Port)	clk				
<input checked="" type="checkbox"/>		s1	Avalon Memory Mapped Slave	clk	0x00011020	0x0001103f		
<input checked="" type="checkbox"/>		sysid	System ID Peripheral	clk				
<input checked="" type="checkbox"/>		control_slave	Avalon Memory Mapped Slave	clk	0x00011060	0x00011067		


New... Edit... Add... Remove Edit... Address Map... Filters... Filter: Default

Warning: cpu\_0: Custom Instruction components can be edited through the Component Editor.

Warning: cpu\_0: Disabling the assign CPUID control register value manually will no longer auto-assigns unique control register value. This option will always be turned on with default value set to 0.

Info: entrees: PIO inputs are not hardwired in test bench. Undefined values will be read from PIO inputs during simulation.

# Bibliothèques NIOS II



## Nios II Processor

Parameter Settings

Core Nios II > Caches and Memory Interfaces > Advanced Features > MMU and MPU Settings > JTAG Debug

Core Nios II

Select a Nios II core:

	<input checked="" type="radio"/> Nios II/e	<input type="radio"/> Nios II/s	<input type="radio"/> Nios II/f
<b>Nios II</b>	RISC 32-bit	RISC 32-bit Instruction Cache Branch Prediction Hardware Multiply Hardware Divide	RISC 32-bit Instruction Cache Branch Prediction Hardware Multiply Hardware Divide Barrel Shifter Data Cache Dynamic Branch Prediction
Selector Guide			
Family: Cyclone II			
f <sub>system</sub> : 50,0 MHz			
cpuid: 0			
Performance at 50,0 MHz	Up to 5 DMIPS	Up to 25 DMIPS	Up to 51 DMIPS
Logic Usage	600-700 LEs	1200-1400 LEs	1400-1800 LEs
Memory Usage	Two M4Ks (or equiv.)	Two M4Ks + cache	Three M4Ks + cache

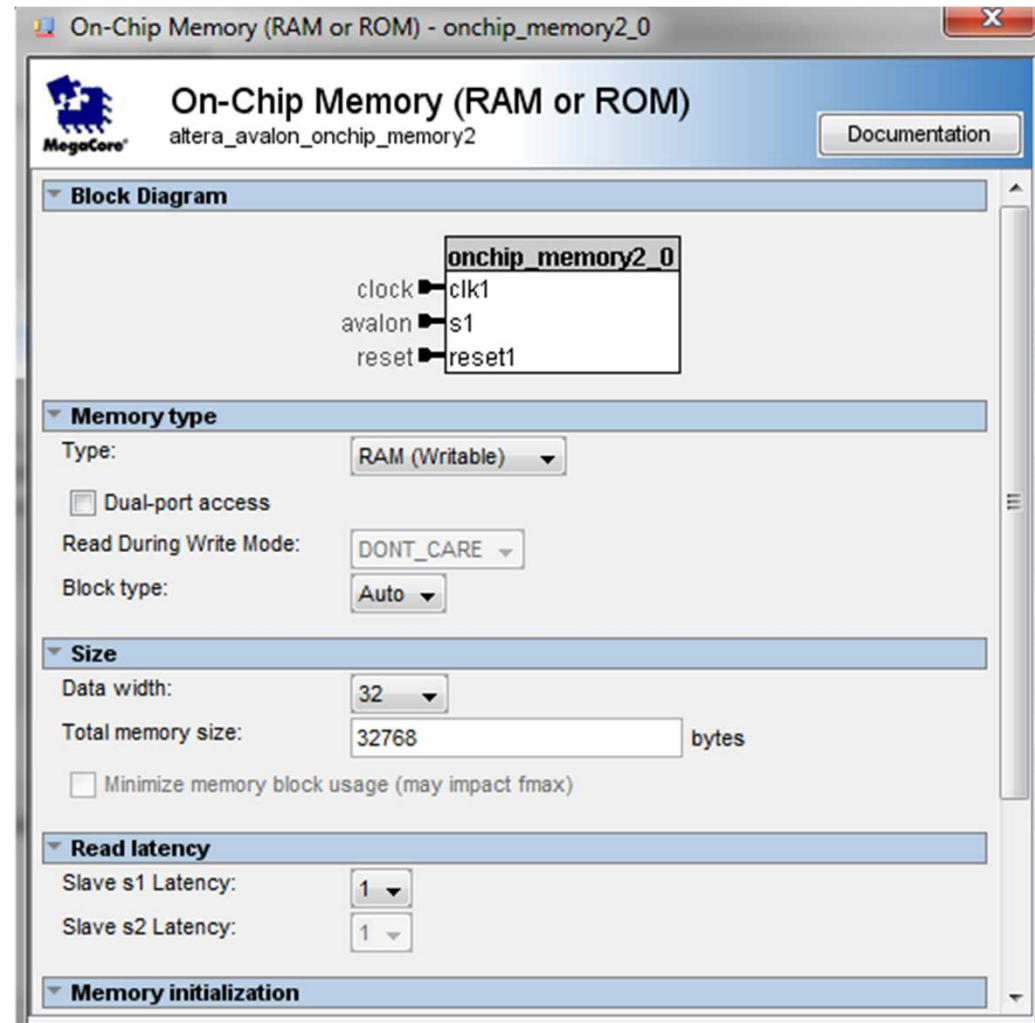
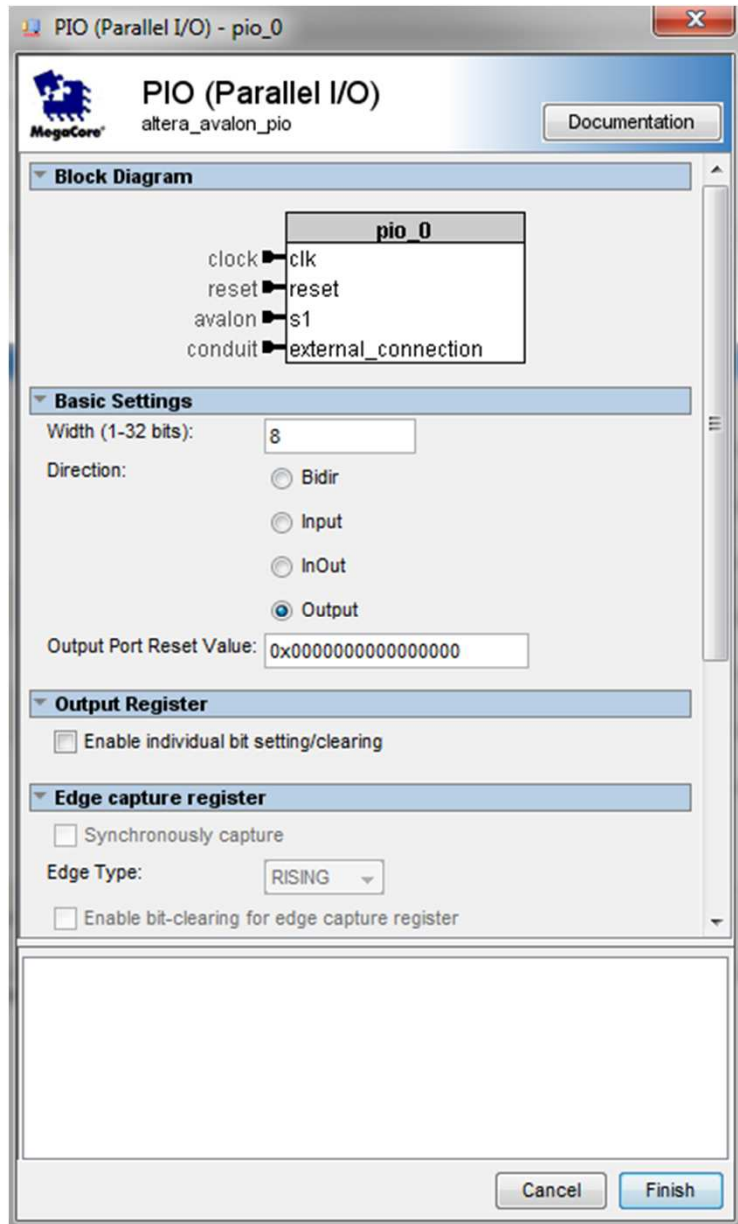
Hardware Multiply:   Hardware Divide

Reset Vector: Memory:  Offset:  0x00008000

Exception Vector: Memory:  Offset:  0x00008020

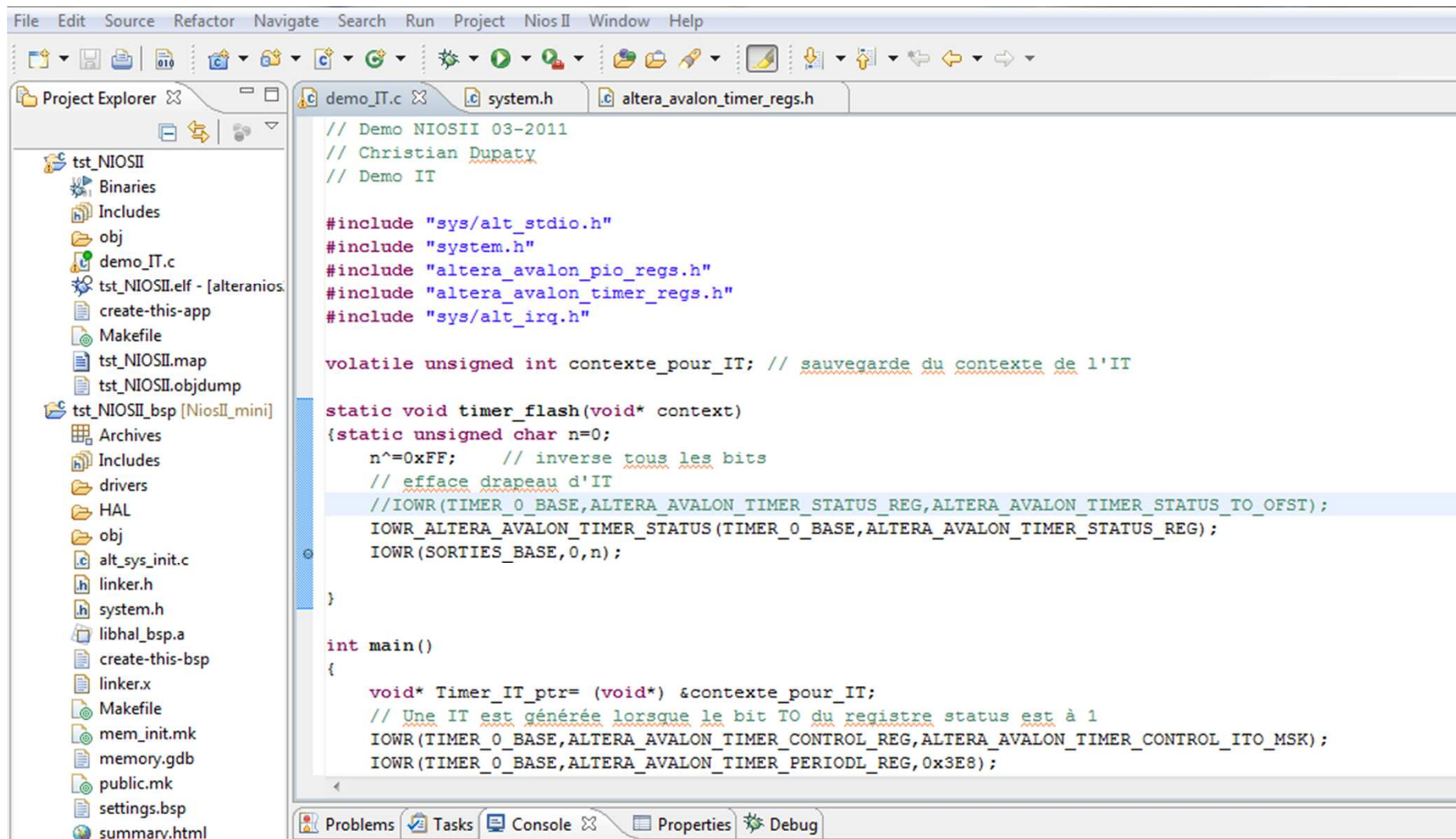


# Bibliothèques périphériques et mémoires



# ECLIPSE

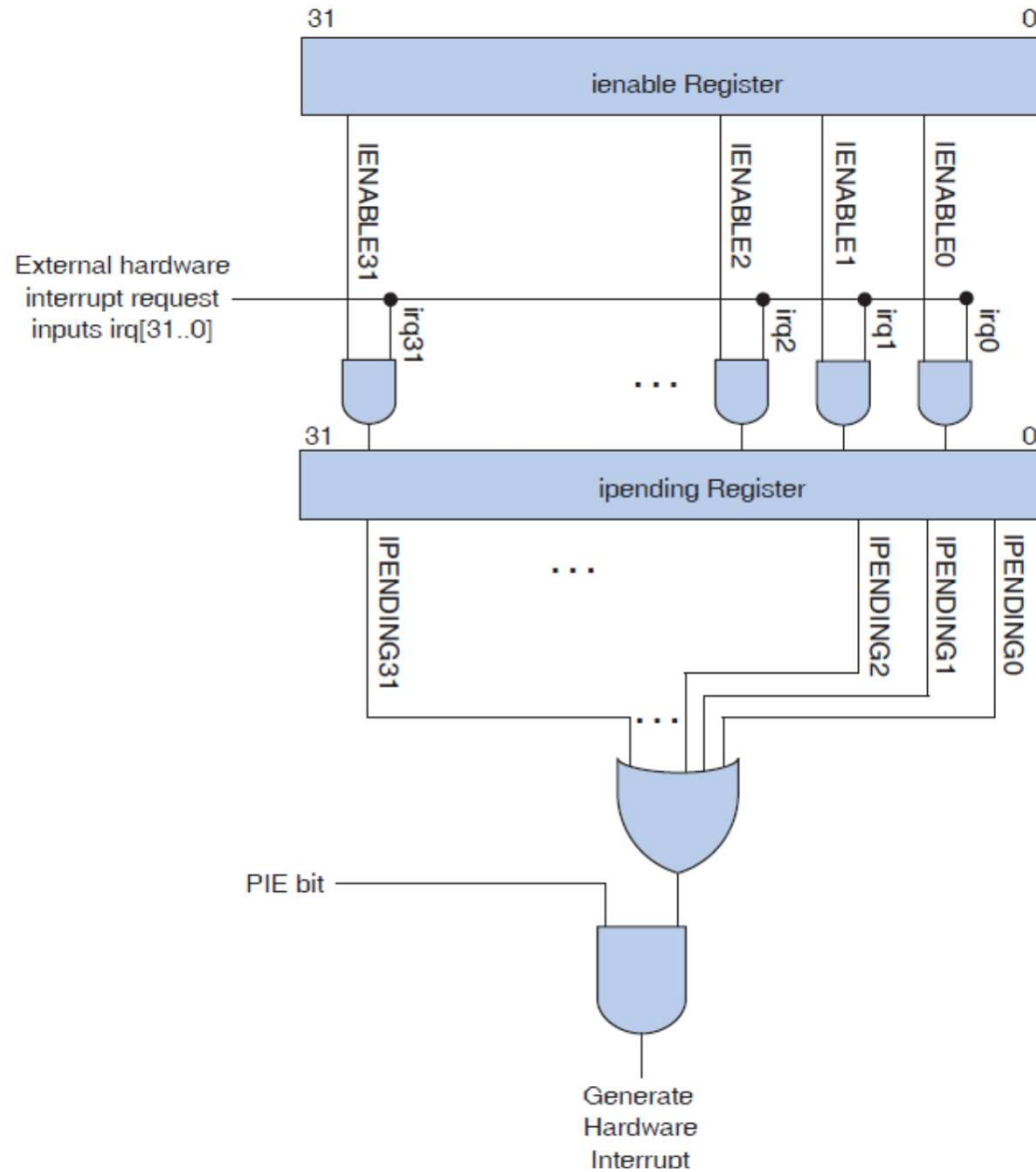
## Environnement de développement logiciel



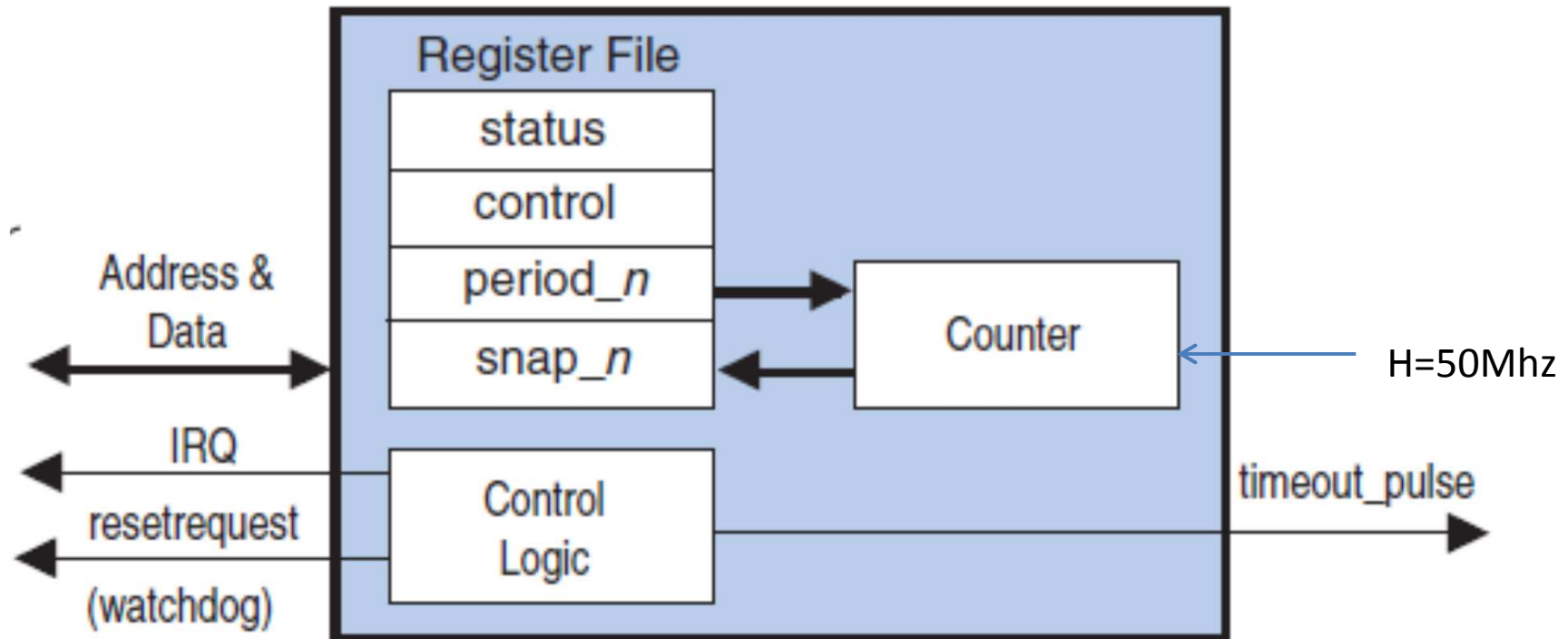
# INTERRUPTIONS

- Programmation événementielles
  - Economie de ressources
  - Economie d'énergie

# Principes des IT sur NIOS II



# Exemple : IT sur TIMER



# Registres du TIMER

Offset	Name	R/W	Description of Bits					
			15	...	4	3	2	1
0	status	RW	(1)				RUN	TO
1	control	RW	(1)		STOP	START	CONT	ITO
2	periodl	RW	Timeout Period - 1 (bits [15:0])					
3	periodh	RW	Timeout Period - 1 (bits [31:16])					
4	snapl	RW	Counter Snapshot (bits [15:0])					
5	snaph	RW	Counter Snapshot (bits [31:16])					

## Registre d'état (status)

RUN=1 indique que le TIMER est activé.

TO=1 indique qu'un passage par zéro a eu lieu (il y aura interruption si ITO =1)

## Registre de contrôle (control)

ITO =1 entraine la génération d'une interruption lors du passage à zéro

CONT =1 entraine un rechargement automatique lors de l'IT

START=1 lance le TIMER.

**Preriodh et periodl** : valeurs initiales du TIMER

**Snaph et snapl** : valeurs instantanées du TIMER



# Exemple

- Pour générer une IT toutes les 0,5s avec une horloge de 50Mhz

control = 0b000000000000111 (7)

period = 0,5\*50000000 = 25000000

# Gestion de l'interruption

- `alt_ic_isr_register(TIMER_0_IRQ_INTERRUPT_CONTROLLER_ID, TIMER_0_IRQ, timer_flash, Timer_IT_ptr, 0);`
- **TIMER\_0\_IRQ\_INTERRUPT\_CONTROLLER\_ID :**  
numéro du contrôleur d'IT (ici 0)
- **TIMER\_0\_IRQ :**  
numéro d'IT choisie lors de la construction du NIOS II
- **timer\_flash :** sous-programme de gestion de l'interruption
- **Timer\_IT\_ptr :** adresse de sauvegarde du contexte (restauré lors du retour d'interruption)