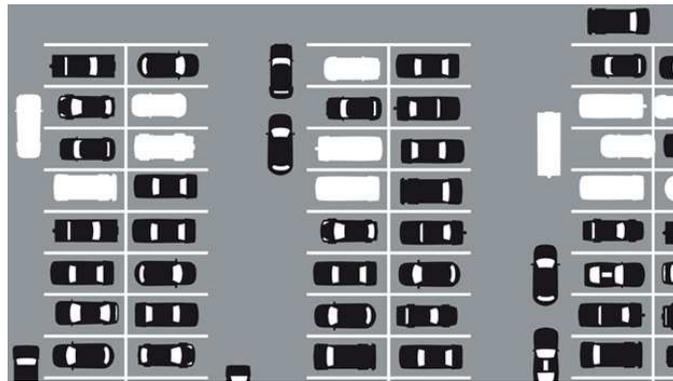




Parcours de formation SIN

Sous Parcours de formation SIN FPGA, apprentissages autour d'un contrôle d'accès à un parking



FPGA : field-programmable gate array

Le support d'étude des FPGA est un contrôleur d'accès à un parking. Cet automate est généralement géré par une électronique reposant sur l'utilisation d'un microcontrôleur. Le caractère sécurisé d'un contrôle d'accès (qui pourrait par exemple être celui d'une banque, d'un établissement militaire, donc à forte connotation sécuritaire), amène le concepteur à imaginer des solutions les plus inviolables possibles. Les FPGA de part leur configuration unique en fonction de l'application sont beaucoup plus complexes à analyser qu'un système basé sur l'utilisation d'un microcontrôleur. Les FPGA apportent par ailleurs une plus grande souplesse de configuration et d'intégration de périphériques, ce qui peut rendre les solutions moins gourmandes en composants, donc souvent en énergie et en coût de recyclage. Le sous parcours propose l'étude d'un gestionnaire de parking simple mais avec un fort potentiel d'extension fonctionnelle en terme d'interface homme-machine et de communications, tels l'affichage vidéo graphique ou la gestion par ordinateur.

Les FPGA sont des composants relativement simples dans leur approche, mais ils permettent la mise en œuvre de fonctions logiques qui peuvent être très complexes. Leurs outils de développement proposent plusieurs chemins de développement qui peuvent être graphiques ou reposer sur un langage de description comportemental comme le VHDL ou VERILOG. Leur mise en œuvre demande une bonne base de connaissances théoriques en logique combinatoire et séquentielle.

Le développement d'un FPGA peut être considéré comme similaire à celle d'une application sur circuit imprimé.

- Etude et réalisation d'un câblage de fonctions répondant au cahier des charges
 - o Par schéma (portes, compteurs, bascules, macro-composants, etc...)
 - o Par Machine A Etats (MAE)
 - o Dans un langage de description structurel (VHDL ou VERILOG)
 - o Par les trois précédents
- Routage
- Assemblage des composants

Ce parcours de formation permettra au professeur enseignant en série STI2D l'acquisition des connaissances et savoir-faire afin de développer en autonomie ses séquences de formation.

De nombreux fournisseurs proposent des FPGA sur le marché de la micro-électronique comme : Actel, Altera, Atmel, Cypress, Lattice Semiconductor, Xilinx et bien d'autres. Tous les fournisseurs proposent des outils de développement équivalents et des KIT d'apprentissage, le professeur dans son choix de support pédagogique pour ses élèves ne doit donc pas être limité par celui de ce parcours.

Le parcours utilise comme support le KIT DE2 de la société ALTERA équipé d'un FPGA Cyclone II de 33216 LEs (Un Logic Element est essentiellement constitué d'une partie combinatoire à 4 entrées et d'une bascule).

Le choix d'un FPGA ALTERA et donc de son outil de développement QUARTUS repose essentiellement sur la possibilité de développer une solution sous forme de schéma structurel, de MAE graphique ou directement en langage VHDL ou VERILOG.

Le choix du KIT DE2 repose essentiellement sur sa polyvalence et son durcissement pour une utilisation dans un milieu scolaire. Le parcours de formation n'exploite pleinement ni la puissance du FPGA embarqué ni les possibilités KIT. L'outil logiciel, ses périphériques embarqués, ses possibilités d'extensions

permettront au professeur d'imaginer, de développer, d'adapter (les exemples fournis par ALTERA) à des applications en adéquation avec les objectifs et contenus du programme STI2D.

Les ressources tant en librairie que sur Internet sont très nombreuses, le parcours guide le professeur dans l'approche des FPGA en proposant des cours, des travaux pratiques ainsi que des lectures.



Recommandations d'équipement :

Un PC, (WINDOWS, MAC OS ou LINUX) équipé du logiciel QUARTUS II Web édition (gratuit) et si possible de la version complète.

<https://www.altera.com/download/dnl-index.jsp>

Les professeurs peuvent obtenir une version complète de QUARTUS en en faisant la demande sur le site d'ALTERA <http://www.altera.com/education/univ/unv-index.html> puis « design software licence requests »

Pour le professeur, un KIT ALTERA DE2 (DE2-115), qui peut être obtenu gratuitement par la même démarche « board donation request ».

Les KIT DE2 pour le professeur peuvent être obtenus par l'intermédiaire du CNFM

<http://web.cnfm.fr/ALTERA/>

Pour les élèves, les KITS peuvent être obtenus par l'intermédiaire de l'un des distributeurs d'Altera en France (Arrow ou EBV) .

<http://www.arroweurope.com/fr/countries/france.html>

<http://www.ebv.com>

Le parcours n'est pas linéaire et peut être abordé par l'apprenant en fonction de ses pré-acquis. Les électroniciens pourront certainement se dispenser des modules SIN53, qui contiennent les prérequis indispensables à l'approche proprement dite des FPGA.

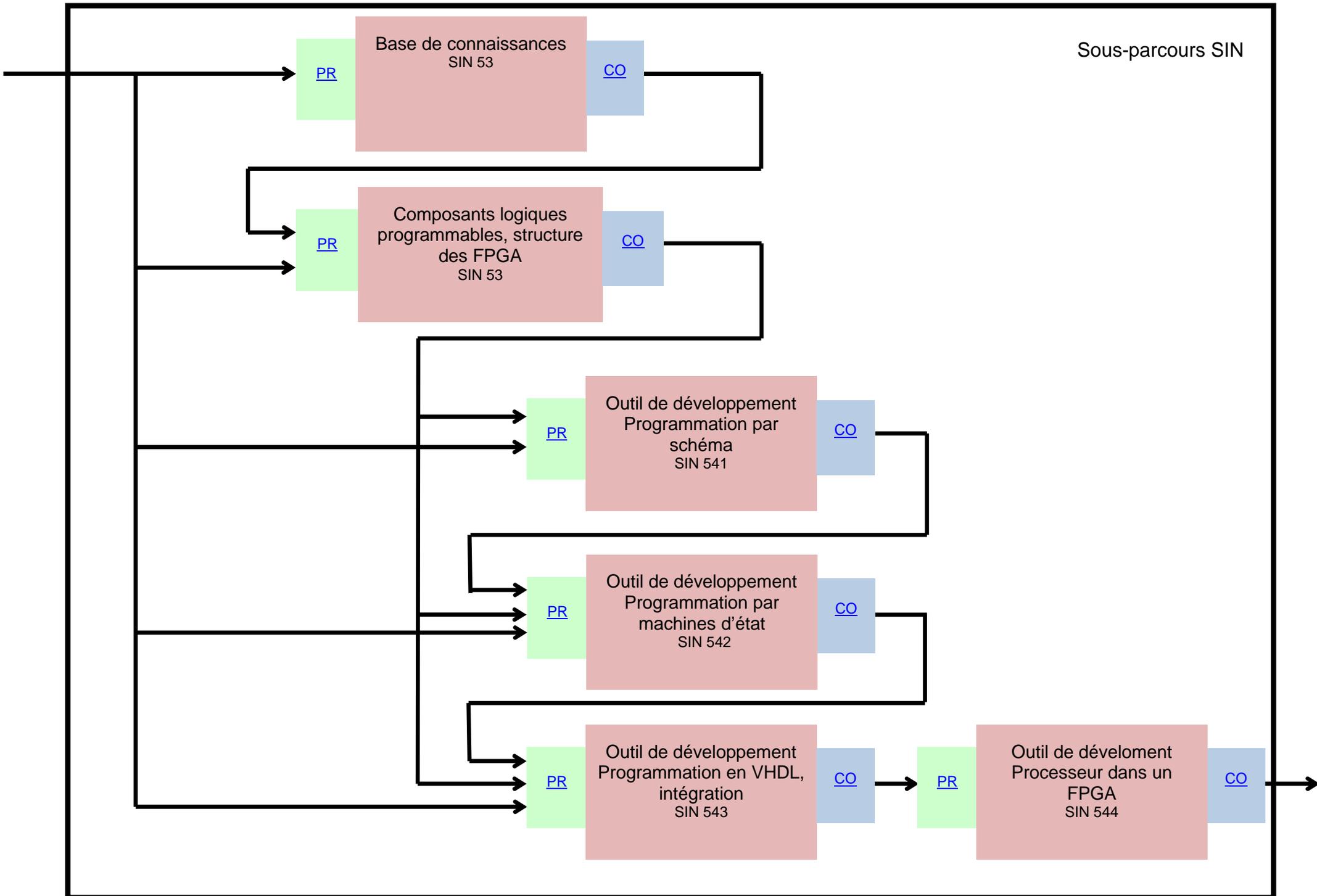
Les modules peuvent être abordés indépendamment, cependant, **il est fortement recommandé pour les néophytes de les suivre dans l'ordre proposé, les TP s'appuyant progressivement les sur les acquis précédents.**

Les développements graphiques (schéma ou MAE) permettent une approche fonctionnelle et séquentielle plus didactique du développement de l'application. L'outil de développement QUARTUS transforme les schémas et graphes de MAE en code VHDL ou VERILOG. Le professeur développant un projet avec ses élèves doit avoir un minimum de connaissance sur au moins un de ces langages afin d'être capable de palier les erreurs rencontrées.

Cours de J.Weber et S.Moutault sur le VHDL et la logique : <http://books.google.fr/books?id=AKoIQwjcqnUC>

Le développement en tout ou en partie de projet dans un bureau d'étude se fait aujourd'hui en Europe essentiellement en langage de haut niveau (VHDL ou Verilog). Le langage VHDL a été retenu comme support dans ce parcours. Le dernier module met en place une problématique de projet dans le cadre du programme STI2D. Les apprenants proposent des séquences pédagogiques et produisent les documents et supports nécessaires.

Sous-parcours SIN



Sous-parcours SIN : FPGA

Module SIN_53	Base de connaissances destinées au formateur
Objectifs à atteindre	Etre capable de réaliser des fonctions logiques combinatoires et séquentielles. Connaitre et mettre en œuvre les opérateurs booléens, les fonctions multiplexage, démultiplexage, codage, décodage, registres à décalage, bascules, mémoires à accès aléatoire, FIFO, LIFO, compteurs synchrones et asynchrones, convertisseurs ADC et DAC, liaisons séries synchrones et asynchrones (RS232, RS485, I2C, SPI), notions sur les réseaux (CAN, LIN, Ethernet), notions sur les processeurs et les langages C et assembleur.
Niveau des connaissances envisageable	EXPERT
Volume horaire du module en présentiel	Une heure d'introduction Puis 1 semaine (professeur de génie électrique) à 1 an de travail suivant les pré-acquis et la capacité de travail.
Compétences professionnelles visées	Pré requis théoriques
Place du module au sein du parcours	1
Questions pour l'auto positionnement du stagiaire	Est-ce que je peux écrire un même nombre en base 2, 10, Hexadécimale ? Est-ce que je peux énoncer les différences et rôles des codes binaires naturels, réfléchis, ASCII ? Est-ce que je sais comment coder un nombre en binaire signé ? Est-ce que je connais l'algèbre de Boole, les fonctions logiques (ET, OU, NON, NAND, NOR XOR) ? Est-ce que je peux résoudre un problème de logique combinatoire (ex : décodeur 7 segments) à l'aide des tableaux de Karnaugh et réaliser un logigramme? Est-ce que je peux définir un MUX, un DEMUX Est-ce que je peux réaliser un compteur asynchrone ET un compteur synchrone à l'aide de bascules D ? Est-ce que je peux expliquer la différence entre une MAE de Moore et de Mealy ?
Pré requis des stagiaires	
Résultats collectifs attendus à l'issue du module	
Bases théoriques	
Activités pédagogiques	TP de simulation sur ISIS
Méthodes pédagogiques à mettre en œuvre par les formateurs	Un guide des études et une formation en autonomie
Systèmes mis en œuvre	Suivant les exercices de formations proposées, toujours simulés
Logiciels utilisés	Proteus ISIS (simulation numérique)
Outils mobilisés, le cas	

échéant	
Évaluation éventuelle	
Conseils pour le formateur	Prévoir un guide de formation le plus autonome possible mais bien adapté au potentiel de l'apprenant
Bibliographie	Electronique numérique, première et terminale STI, Hachette
Webographie	Très nombreux cours sur internet : par exemple http://www.positron-libre.com/cours/logique-combinatoire/cours-logique-combinatoire.htm
Pour aller plus loin	

Sous-parcours SIN : FPGA

Module SIN_53	Composants logiques programmables, structure des FPGA
Objectifs à atteindre	<p>Connaitre les différentes technologies de composants programmables. (PAL, CPLD, ASIC, FPGA, microcontrôleur ...) et leurs domaines d'emploi.</p> <p>Etre capable d'effectuer/justifier un choix de composant pour un cahier des charges donné.</p> <p>Connaitre la démarche de développement d'un FPGA (schéma/VHDL, simulation fonctionnelle, synthèse, placement routage, simulation temporelle, programmation)</p>
Niveau des connaissances envisageable	Bonne
Volume horaire du module en présentiel	3h
Compétences professionnelles visées	Culture technologique, histoire des composants programmables. Etre capable de choisir une solution technologique, un composant en réponse à une problématique.
Place du module au sein du parcours	2
Questions pour l'auto positionnement du stagiaire	<p>Donner des exemples d'applications, d'objets techniques intégrant des FPGA, des CPLD, des micro-contrôleurs.</p> <p>Expliquer l'organisation structurelle d'un FPGA, ce que sont , LUT, LAB, LEs, PLL, EMB, Clock Control, Block, IO</p> <p>Enoncer quelles sont les sociétés leaders du marché FPGA mondial, les enjeux technologiques et économiques, les noms des principaux fondateurs, les points communs entre FPGA et uC.</p> <p>Enoncer les fonctions d'un outil de développement pour FPGA</p>
Pré requis des stagiaires	Voir module SIN1
Résultats collectifs attendus à l'issue du module	Etre capable de réaliser une séquence pédagogique inductive de découverte des FPGA destinée à des élèves de STI2D
Bases théoriques	Module SIN_1
Activités pédagogiques	Analyse de documents constructeurs, d'articles de vulgarisation
Méthodes pédagogiques à mettre en œuvre par les formateurs	Prévoir un guide de formation le plus autonome possible mais bien adapté au potentiel de l'apprenant et à ses pré-acquis.
Systèmes mis en œuvre	Les exemples proposés sur le KIT ALTERA DE2
Logiciels utilisés	Présentation des outils de développement, de leur structure.
Outils mobilisés, le cas échéant	Exemple avec QUARTUS
Évaluation éventuelle	
Conseils pour le formateur	Il s'agit de donner une base de culture technologique sur les FPGA à l'apprenant, de lui donner une vue d'ensemble des solutions techniques

	permettant de réaliser l'objet étudié.
Bibliographie	Rapid Prototyping of Digital Systems: Quartus® II Edition Hamblen, Tyson et Furman, Editions KAP (http://www.amazon.com)
Webographie	http://www.traitement-signal.com/circuit_logique_programmable.php http://fpga4u.epfl.ch/wiki/Main_Page http://www.altera.com/literature/lit-cyc2.jsp http://jacques.weber.pagesperso-orange.fr/circuits_numeriques/index.htm http://jacques.weber.pagesperso-orange.fr/telecharge/circ_prog.pdf
Pour aller plus loin	

Sous-parcours SIN : FPGA	
Module SIN_541	Outil de développement, programmation par schéma
Objectifs à atteindre	Mettre en œuvre l'outil de développement FPGA dans le cadre de l'étude de l'objet proposé (ou d'une partie, programmation par schéma), réaliser la fonction comptage du gestionnaire de parking Comprendre les étapes de développement : saisie de schémas, compilation, simulations fonctionnelles et temporelles, routage, simulation physique, implantation et tests de validation.
Niveau des connaissances envisageable	EXPERT
Volume horaire du module en présentiel	6h00 + 3h00
Compétences professionnelles visées	
Place du module au sein du parcours	3
Questions pour l'auto positionnement du stagiaire	Est-ce que je suis capable de : Créer un projet, définir la cible, les outils Réaliser un schéma logique répondant au problème posé Utiliser et configurer les primitives logiques, les mega-fonctions Réaliser une compilation dans la cible, attribuer des numéros de broches correspondants au câblage de la maquette. Réaliser une simulation fonctionnelle puis temporelle. Programmer la cible et valider son fonctionnement
Pré requis des stagiaires	Module SIN_1 et SIN_2
Résultats collectifs attendus à l'issue du module	Etre capable de réaliser une séquence pédagogique inductive de découverte de l'outil QUARTUS II et du KIT DE2 destinée à des élèves de STI2D
Bases théoriques	SIN1 et SIN2
Activités pédagogiques	Travaux pratiques Prise en main de l'outil QUARTUS II, du KIT DE2. Edition de schéma , simulation, programmation du FPGA cible. réalisation d'une fonction combinatoire puis séquentielle simple. Utilisation des mega_fonctions de QUARTUS. Mise en œuvre des interrupteurs, poussoirs, LEDs et afficheurs 7 segments du KIT DE2.
Méthodes pédagogiques à mettre en œuvre par les formateurs	Stage présentiel encadrant une autoformation
Systèmes mis en œuvre	KIT de développement FPGA ALTERA DE2
Logiciels utilisés	Logiciel de développement QUARTUS II
Outils mobilisés, le cas échéant	Oscilloscope, mesure de période, de fréquence.

Évaluation éventuelle	
Conseils pour le formateur	L'apprenant doit avoir une très bonne maîtrise de l'outil afin de pouvoir le mettre en œuvre dans la cadre de la formation STI2D
Bibliographie	Rapid Prototyping of Digital Systems: Quartus® II Edition Hamblen, Tyson et Furman, Editions KAP (http://www.amazon.com)
Webographie	http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=39&No=30 http://www.altera.com/education/univ/materials/boards/de2/unv-de2-board.html http://www.altera.com/education/demonstrations/online/design-software/basic/onl-fpga-cpld-design.html
Pour aller plus loin	

Sous-parcours SIN : FPGA	
Module SIN_542	Programmation par machine à états
Objectifs à atteindre	<p>Mettre en œuvre l'outil de développement FPGA dans le cadre de l'étude de l'objet étudié (ou d'une partie, programmation par machine à états). Réaliser la fonction « générer trois bip » qui indique le passage d'un véhicule.</p> <p>Comprendre les étapes de développement : création de la machine à états, compilation, simulations fonctionnelles et temporelles, routage, simulation physique, implantation et tests de validation.</p>
Niveau des connaissances envisageable	Bonne
Volume horaire du module en présentiel	6h00 + 3h00
Compétences professionnelles visées	
Place du module au sein du parcours	4
Questions pour l'auto positionnement du stagiaire	Est-ce que je suis capable de réaliser avec QUARTUS un graphe d'états, de le transformer en symbole afin de l'intégrer dans un projet puis de le simuler afin de valider son fonctionnement comportemental.
Pré requis des stagiaires	Module SIN_2 et SIN_3, Connaitre la théorie sur les machines d'état : machines de Moore et machines de Mealy
Résultats collectifs attendus à l'issue du module	Etre capable de réaliser une séquence pédagogique inductive permettant aux élèves de STI2D de résoudre un problème grâce à un développement graphique par MAE
Bases théoriques	SIN1 , SIN2, SIN3
Activités pédagogiques	Travaux pratiques avec l'éditeur <u>graphique</u> de MAE de QUARTUS., Réalisation d'un compteur exotique, d'un générateur de trains d'impulsions, d'un codeur AMI, d'un gestionnaire de feux tricolores.
Méthodes pédagogiques à mettre en œuvre par les formateurs	Stage présentiel encadrant un autoformation
Systèmes mis en œuvre	KIT de développement FPGA ALTERA DE2
Logiciels utilisés	Logiciel de développement QUARTUS II
Outils mobilisés, le cas échéant	Oscilloscope, mesure de période, de fréquence.
Évaluation éventuelle	
Conseils pour le formateur	L'apprenant doit avoir une très bonne maîtrise de l'outil afin de pouvoir le mettre en œuvre dans le cadre de la formation STI2D
Bibliographie	
Webographie	http://formation.u-psud.fr/courses/IUTCGE1S1TN/document/Tutoriaux_des_logiciels_TP/

	Synthese logique sur PLD/Tutorial Automates avec QuartusII.pdf http://fr.wikipedia.org/wiki/Automate_fini
Pour aller plus loin	Jacques Sakarovitch, <i>Éléments de théorie des automates</i> , Vuibert 2003.

Sous-parcours SIN : FPGA	
Module SIN_543	Programmation en langage VHDL (Very high speed integrated circuit H ardware D escription L anguage)
Objectifs à atteindre	<p>Mettre en œuvre l'outil de développement FPGA dans le cadre de l'étude de l'objet étudié (ou d'une partie, programmation en langage VHDL). Réaliser les fonctions « décodeur 7segments » et transcodage BIN/BCD du gestionnaire de parking.</p> <p>Comprendre les étapes de développement : codage, compilation, simulations fonctionnelles et temporelles, routage, simulation physique, implantation et tests de validation.</p> <p>Etre capable de modifier / compléter un programme écrit en langage VHDL. Application sur une horloge temps réel interfacée</p> <p>Etre capable d'intégrer l'ensemble du projet (Schéma, machine à états et VHDL) afin de valider le cahier des charges de l'objet étudié.</p>
Niveau des connaissances envisageable	BONNE (EXPERT pour le formateur)
Volume horaire du module en présentiel	6h00 plus 3h00
Compétences professionnelles visées	
Place du module au sein du parcours	5
Questions pour l'auto positionnement du stagiaire	<p>Est-ce que je peux à l'aide de QUARTUS et des modèles VHDL préconstruits écrire, simuler et tester un programme de compteur/décompteur (par ex) écrit en VHDL ?</p> <p>Est-ce que je peux analyser dans son ensemble le programme d'horloge temps réel sur l'afficheur LCD ?</p>
Pré requis des stagiaires	Contenus des Modules SIN2, SIN3, SIN4
Résultats collectifs attendus à l'issue du module	Etre capable de réaliser une séquence pédagogique destinée à des élèves de STI2D permettant d'appréhender le langage VHDL afin de modifier ou compléter un programme VHDL
Bases théoriques	SIN1 et SIN2
Activités pédagogiques	Travaux pratiques, réalisation d'un décodeur 7 segments en VHDL, d'un compteur. Analyse et modification d'un programme VHDL transcrit par QUARTUS depuis l'éditeur graphique de MAE.
Méthodes pédagogiques à mettre en œuvre par les formateurs	Stage présentiel encadrant un autoformation
Systèmes mis en œuvre	KIT de développement FPGA ALTERA DE2
Logiciels utilisés	Logiciel de développement QUARTUS II
Outils mobilisés, le cas échéant	

Évaluation éventuelle	Transposition sur une étude d'horloge temps réelle sur afficheur LCD
Conseils pour le formateur	L'apprenant doit avoir une très bonne maîtrise de l'outil afin de pouvoir le mettre en œuvre dans le cadre de la formation STI2D
Bibliographie	Initiation au langage VHDL, Michel Aumiaux, Dunod
Webographie	http://users.ece.gatech.edu/~hamblen/ALTERA/altera.htm http://www.altera.com/education/training/courses/OHDL1110 ftp://ftp.discip.crdp.ac-caen.fr/discip/crgelec/Cours/vhdl.pdf http://www2b.toulouse.iufm.fr/electron//cours/vhdl/vhdl.pdf http://www2b.toulouse.iufm.fr/electron//cours/vhdl/vhdl_coh.PDF http://uuu.enseirb.fr/%7Enouel/vhdl/coursvhdl/coursvhdl.pdf http://public.iutenligne.net/electronique/weber/vdhl/index.html
Pour aller plus loin	

Sous-parcours SIN : FPGA	
Module SIN_544	Processeur NIOS II
Objectifs à atteindre	Mettre en œuvre un microcontrôleur synthétiser dans un FPGA Développer un logiciel simple Gérer les interruptions .
Niveau des connaissances envisageable	BONNE (EXPERT pour le formateur)
Volume horaire du module en présentiel	6h00 plus 3h00
Compétences professionnelles visées	
Place du module au sein du parcours	6
Questions pour l'auto positionnement du stagiaire	Est-ce que je sais ce qu'est un processeur RISC, un TIMER, un port de communication asynchrone, une interruption, la structure d'un programme en C
Pré requis des stagiaires	Contenus des Modules précédents
Résultats collectifs attendus à l'issue du module	Etre capable de réaliser une séquence pédagogique destinée à des élèves de STI2D permettant d'appréhender le langage la synthèse d'un microcontrôleur et le développement d'un programme simple
Bases théoriques	SIN1 et SIN2
Activités pédagogiques	Travaux pratiques, création d'un processeur, réalisation d'un programme
Méthodes pédagogiques à mettre en œuvre par les formateurs	Stage présentiel encadrant un autoformation
Systèmes mis en œuvre	KIT de développement FPGA ALTERA DE2
Logiciels utilisés	Logiciel de développement QUARTUS II, NIOS II
Outils mobilisés, le cas échéant	
Évaluation éventuelle	Exercices en fin de séquence
Conseils pour le formateur	L'apprenant doit avoir une très bonne maîtrise de l'outil afin de pouvoir le mettre en œuvre dans le cadre de la formation STI2D
Bibliographie	Docs ALTERA
Webographie	
Pour aller plus loin	

Sous-parcours SIN : FPGA

Module SIN_6	Démarche de projet
Objectifs à atteindre	Réaliser une séquence pédagogique et les documents associés destinée à des élèves de STI2D mettant en œuvre une démarche de projet visant la réalisation d'une horloge temps réel sur afficheurs 7 segments.
Niveau des connaissances envisageable	BONNE (EXPERT pour le formateur)
Volume horaire du module en présentiel	3h00
Compétences professionnelles visées	Enseignement en STI2D
Place du module au sein du parcours	6
Questions pour l'auto positionnement du stagiaire	Est-ce que je peux en totale autonomie répondre à la demande pédagogique et technique.
Pré requis des stagiaires	Contenus des Modules SIN2, SIN3, SIN4 , SIN5
Résultats collectifs attendus à l'issue du module	Etre capable de réaliser une séquence pédagogique destinée à des élèves de STI2D permettant d'appréhender le langage VHDL afin de modifier ou compléter un programme VHDL
Bases théoriques	Sous parcours SIN complet
Activités pédagogiques	Travaux pratiques, réalisation d'une horloge mettant en œuvre les différents aspects du développement d'un FPGA. Schéma, MAE, VHDL.
Méthodes pédagogiques à mettre en œuvre par les formateurs	Stage présentiel encadrant une autoformation
Systèmes mis en œuvre	KIT de développement FPGA ALTERA DE2
Logiciels utilisés	Logiciel de développement QUARTUS II
Outils mobilisés, le cas échéant	
Évaluation éventuelle	
Conseils pour le formateur	Le travail aura été réalisé en amont par les apprenants. Le stage présentiel permettra une confrontation des solutions et méthodes pédagogiques sous forme d'un débat animé par le formateur.
Bibliographie	
Webographie	
Pour aller plus loin	

--	--